

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C. 20231
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing:

27 July 2000 (27.07.00)

International application No.:

PCT/JP99/00232

Applicant's or agent's file reference:

319803255971

International filing date:

22 January 1999 (22.01.99)

Priority date:

Applicant:

NISHIMURA, Asao et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

22 January 1999 (22.01.99)



in a notice effecting later election filed with the International Bureau on:

2. The election



was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Form PCT/IB/331 (July 1992)

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

3418725

THIS PAGE BLANK (USPTO)

EP



国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号	319803255971	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号	PCT/JP99/00232	国際出願日 (日.月.年)	22.01.99
出願人(氏名又は名称)	株式会社 日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎
a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

☐ なし

6. 要約書とともに公表される図は、
第 36 図とする。 ☒ 出願人が示したとおりである。

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁹ H01L21/66, G01R31/26, G01R31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁹ H01L21/66, G01R31/26, G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願2-68114号 (日本国実用新案登録出願公開4-26537号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (関西日本電気株式会社), 3. 3月. 1992 (03. 03. 92), 第1図乃至第3図及びその関連箇所 (ファミリーなし)	1-3, 5-7, 9-14, 22-28
Y	J P 4-96343 A (日本電気株式会社) 27. 3月. 1992 (27. 03. 92), 第1図乃至第2図及びその関連箇所 (ファミリーなし)	12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

20. 04. 99

国際調査報告の発送日

11.05.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田代 吉成

4 R

9448

電話番号 03-3581-1101 内線 6374

THIS PAGE BLANK (USPTO)

47
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 319803255971	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/00232	International filing date (day/month/year) 22 January 1999 (22.01.99)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 21/66, G01R 31/26, 31/28		
Applicant HITACHI, LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of _____ sheets.</p>
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>

Date of submission of the demand 22 January 1999 (22.01.99)	Date of completion of this report 19 October 1999 (19.10.1999)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/00232

I. Basis of the report

1. With regard to the elements of the international application:*

- ☒ the international application as originally filed
- ☐ the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the claims:
 pages _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the drawings:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO)

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	1-28	YES
	Claims		NO
Inventive step (IS)	Claims	4,8,15-21	YES
	Claims	1-3,5-7,9-14,22-28	NO
Industrial applicability (IA)	Claims	1-28	YES
	Claims		NO

2. Citations and explanations

The subject matters of claims 1-3, 5-7 and 9 do not appear to involve an inventive step in view of document 1 [Microfilm of the specification and drawings annexed to the written application of Japanese Utility Model Application No. 68114/1990 (Laid-open No. 26537/1992) (NEC Kansai, Ltd.), 3 March, 1992 (03.03.92), Figs. 1-3 and the portions relating thereto (Family: none)] cited in the ISR. It is considered merely an application of a well-known technique to adopt a polyimide film, fluorine resin film or elastomer film containing a silicone or acrylic rubber material as an insulating film in the invention described in document 1.

The subject matters of claims 10-11 and 14 do not appear to involve an inventive step in view of document 1. It is considered merely an application of a well-known technique to add a step involving a burn-in test in a wafer state and a step involving dicing after inspection in a wafer state in the invention described in document 1.

The subject matter of claim 12 does not appear to involve an inventive step in view of document 1 and document 2 [JP, 4-96343, A (NEC Corp.), 27 March, 1992 (27.03.92), Figs. 1-2 and the portions relating thereto (Family: none)] cited in the ISR.

The subject matter of claim 13 does not appear to involve an inventive step in view of document 1. It is considered merely an application of a well-known technique to add a step involving a burn-in test after the dicing step in the invention described in document 1.

The subject matter of claim 22 does not appear to involve an inventive step in view of document 1. It is considered merely an application of a well-known technique to adopt an organic film as an insulating film in the invention described in document 1.

The subject matter of claim 23 does not appear to involve an inventive step in view of document 1.

The subject matters of 24-28 do not appear to involve an inventive step in view of document 1. In the invention described in document 1, it can be considered that the test pads for position detection are electrically separated from outside the integrated circuit device during the ordinary action of the integrated circuit element.

THIS PAGE BLANK (USPTO)

P C T

REC'D 12 NOV 1999

WIPO PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 319803255971 の書類記号	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JP99/00232	国際出願日 (日.月.年) 22.01.99	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl. ⁸ H01L21/66, G01R31/26, G01R31/28		
出願人 (氏名又は名称) 株式会社 日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で _____ ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 22.01.99	国際予備審査報告を作成した日 19.10.99	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田代 吉成 電話番号 03-3581-1101 内線 3470	4 R 9448

様式PCT/IPEA/409 (表紙) (1998年7月)

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT 14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- | | | |
|-------------------------------------|----------------|-----------------------|
| <input type="checkbox"/> 明細書 | 第 _____ ページ、 | 出願時に提出されたもの |
| <input type="checkbox"/> 明細書 | 第 _____ ページ、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書 | 第 _____ ページ、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | 出願時に提出されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | PCT 19条の規定に基づき補正されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲 | 第 _____ 項、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 図面 | 第 _____ ページ/図、 | 出願時に提出されたもの |
| <input type="checkbox"/> 図面 | 第 _____ ページ/図、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 図面 | 第 _____ ページ/図、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、 | 出願時に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、 | _____ 付の書簡と共に提出されたもの |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK (USPTO)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

1-28

有

請求の範囲

無

進歩性(IS)

請求の範囲

4, 8, 15-21

有

請求の範囲

1-3, 5-7, 9-14, 22-28

無

産業上の利用可能性(IA)

請求の範囲

1-28

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

請求の範囲1-3, 5-7, 9は、国際調査報告書で引用された文献1(日本国実用新案登録出願2-68114号(日本国実用新案登録出願公開4-26537号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(関西日本電気株式会社)、3. 3月. 1992(03. 03. 92)、第1図乃至第3図及びその関連箇所(ファミリーなし)) (以下、「文献1」という。)により進歩性を有さない。文献1に記載の発明において、絶縁膜として、ポリイミド膜、フッ素樹脂膜又はシリコン若しくはアクリル系ゴム材料を含むエラストマ膜を採用することは、周知技術の単なる適用に過ぎないものと認められる。

請求の範囲10, 11, 14は、文献1により進歩性を有さない。文献1に記載の発明において、ウエハ状態においてバーンイン試験を実施する工程及びウエハ状態の検査後にダイシングを実施する工程を付加することは、周知技術の単なる適用に過ぎないものと認められる。

請求の範囲12は、文献1及び国際調査報告書で引用された文献2(JP4-96343A(日本電気株式会社)27. 3月. 1992(27. 03. 92)、第1図乃至第2図及びその関連箇所(ファミリーなし))により進歩性を有さない。

請求の範囲13は、文献1により進歩性を有さない。文献1に記載の発明において、ダイシング工程後にバーンイン試験を実施する工程を付加することは、周知技術の単なる適用に過ぎないものと認められる。

請求の範囲22は、文献1により進歩性を有さない。文献1に記載の発明において、絶縁膜として有機膜を採用することは、周知技術の単なる適用に過ぎないものと認められる。

請求の範囲23は、文献1により進歩性を有さない。

請求の範囲24-28は、文献1により進歩性を有さない。文献1に記載の発明において、位置検出用試験パッドは、集積回路素子の通常動作時において、集積回路装置の外部と電気的に分離されるものと認められる。

THIS PAGE BLANK (USPTO)



(51) 国際特許分類6 H01L 21/66, G01R 31/26, 31/28	A1	(11) 国際公開番号 WO00/44041 (43) 国際公開日 2000年7月27日(27.07.00)
(21) 国際出願番号 PCT/JP99/00232 (22) 国際出願日 1999年1月22日(22.01.99) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 西村朝雄(NISHIMURA, Asao)(JP/JP) 宿利章二(SYUKURI, Syouji)(JP/JP) 橘川五郎(KITSUKAWA, Gorou)(JP/JP) 宮本俊夫(MIYAMOTO, Toshio)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業本部内 Tokyo, (JP) (74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271-0092 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP) TITLE VI		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(54)Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF (54)発明の名称 半導体集積回路装置及びその製造方法 (57) Abstract A semiconductor integrated circuit includes test pads (209b) of a conducting layer, such as a secondary interconnection layer (205), on or near terminals such as bonding pads (202b) that are used only for probing and are not provided with bump electrodes (208). Other terminals such as bonding pads provided with bump electrodes may include similar test pads. Probing is carried out on such test pads, or both on such test pads and an underlying metal layer on which bump electrodes are to be formed. The use of test pads eliminates the need for bump electrodes for dedicated probing pads. Since the test pads are formed near terminals such as bonding pads and smaller than metal parts under bump electrodes, probing can be carried out after a secondary interconnection process.		

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/00232

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁶ H01L21/66, G01R31/26, G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁶ H01L21/66, G01R31/26, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1999 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 2-68114 (Laid-open No. 4-26537) (NEC Kansai, Ltd.), 3 March, 1992 (03. 03. 92), Figs. 1 to 3 and related parts (Family: none)	1-3, 5-7, 9-14, 22-28
Y	JP, 4-96343, A (NEC Corp.), 27 March, 1992 (27. 03. 92), Figs. 1, 2 and related parts (Family: none)	12

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
20 April, 1999 (20. 04. 99)

Date of mailing of the international search report
11 May, 1999 (11. 05. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

09/
PCT

世界知的所有権機関
国際事務局

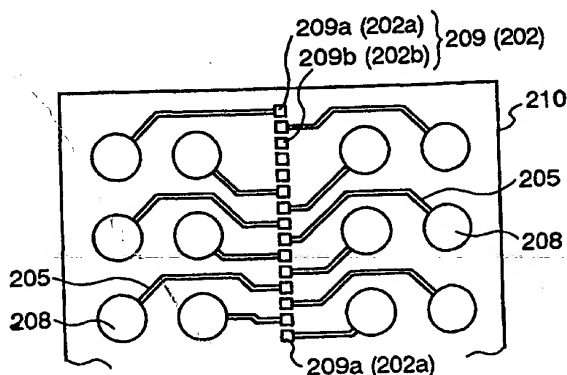


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H01L 21/66, G01R 31/26, 31/28</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/44041</p> <p>(43) 国際公開日 2000年7月27日(27.07.00)</p>
<p>(21) 国際出願番号 PCT/JP99/00232</p> <p>(22) 国際出願日 1999年1月22日(22.01.99)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 西村朝雄(NISHIMURA, Asao)(JP/JP) 宿利章二(SYUKURI, Syouji)(JP/JP) 橘川五郎(KITSUKAWA, Gorou)(JP/JP) 宮本俊夫(MIYAMOTO, Toshio)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業本部内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271-0092 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP)</p>		<p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

(54)発明の名称 半導体集積回路装置及びその製造方法



(57) Abstract

A semiconductor integrated circuit includes test pads (209b) of a conducting layer, such as a secondary interconnection layer (205), on or near terminals such as bonding pads (202b) that are used only for probing and are not provided with bump electrodes (208). Other terminals such as bonding pads provided with bump electrodes may include similar test pads. Probing is carried out on such test pads, or both on such test pads and an underlying metal layer on which bump electrodes are to be formed. The use of test pads eliminates the need for bump electrodes for dedicated probing pads. Since the test pads are formed near terminals such as bonding pads and smaller than metal parts under bump electrodes, probing can be carried out after a secondary interconnection process.

半導体集積回路装置は、バンプ電極(208)を設けないプローブ検査にのみ用いられるボンディングパッド(202b)のような端子の直上もしくは近傍に、再配置配線層(205)等の導電層を用いた検査パッド(209b)を設ける。バンプ電極を設けるボンディングパッドのような端子についても同様の検査パッドを設けても良い。プローブ検査はこれらの検査パッドを用いて、若しくは、前記検査パッドと共に、バンプ電極形成前のバンプ電極下地金属を併用して実施する。上記により、検査パッドを使用することにより、プローブ検査専用パッドのためのバンプ電極を追加しなくてもよい。更に、ボンディングパッドのような端子の近傍に設けられバンプ電極下地金属よりも寸法の小さな検査パッドを使用することにより、再配置配線工程後にプローブ検査を実施することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LR	リベリア	SG	シンガポール
AT	オーストリア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LT	リトアニア	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LU	ルクセンブルグ	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GD	グレナダ	MA	モロッコ	SZ	スワジランド
BE	ベルギー	GE	グルジア	MC	モナコ	TD	チャード
BG	ブルガナ・ファソ	GH	ガーナ	MD	モルドヴァ	TG	トーゴ
BJ	ブルガリア	GM	ガンビア	MG	マダガスカル	TJ	タジキスタン
BR	ベナン	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
BY	ブラジル	GR	ギリシャ		共和国	TR	トルコ
CA	ベラルーシ	GW	ギニア・ビサオ	ML	マリ	TT	トリニダード・トバゴ
CF	カナダ	HR	クロアチア	MN	モンゴル	TZ	タンザニア
CG	中央アフリカ	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
CH	コンゴ	ID	インドネシア	MW	マラウイ	UG	ウガンダ
CI	スイス	IE	アイルランド	MX	メキシコ	US	米国
CM	コートジボアール	IL	イスラエル	MZ	モザンビーク	UZ	ウズベキスタン
CN	カメルーン	IN	インド	NL	オランダ	VN	ヴェトナム
CR	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CU	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CY	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CZ	チェコ	KE	ケニア	NZ	ニュージーランド		
DE	ドイツ	KG	キルギスタン	PL	ポーランド		
DK	デンマーク	KP	北朝鮮	PT	ポルトガル		
		KR	韓国	RO	ルーマニア		

明 細 書

半導体集積回路装置及びその製造方法

5 技術分野

本発明は、半導体集積回路装置（以下、半導体集積回路装置を単に半導体集積回路とも称する）、詳しくは、半導体基板に回路基板実装用の半田バンプ等の突起状電極（以下単にバンプ電極とも称する）が形成された半導体集積回路（以下単にフリップチップ型半導体集積回路とも称する）に係り、特にプローブテストに着目したフリップチップ型半導体集積回路の構造並びにその製造方法に関し、例えば、メモリ及び論理回路等を混載したシステム L S I 等、並びにその製造方法に適用して有効な技術に関する。

また、本発明は、半導体基板に回路基板実装用の半田バンプ等の突起状電極（以下単にバンプ電極とも称する）が形成され、更に、半導体集積回路の所定部分の機能を恒久的に若しくは不可逆的に変更するプログラム素子を搭載した半導体集積回路に関する。

背景技術

回路基板実装用のバンプ電極を有する半導体集積回路について記載された文献の例として以下の文献がある。

（a）特開平 5-2 1 8 0 4 2 号、（b）特開平 8-2 5 0 4 9 8 号、及び（c）米国特許第 5 5 4 7 7 4 0 号の各公報には、本明細書で言うところのフリップチップ型半導体集積回路の基本形態の一つが示されている。すなわち、フリップチップ型半導体集積回路は、例えばそのチップのボンディングパッドから再配置配線を引き回し、再配置配線に接

5 続するバンプ電極をチップの表面にアレイ状に配置し(エリアアレイ状に配置し)、エリアアレイ状に配置されたバンプ電極を表面保護膜から露出させる。これによってバンプ電極の間隔を拡大し、実装基板の配線にバンプ電極を接続するという基板実装を容易にすると共に、配線間隔の広い低コスト実装基板の利用を可能にするものである。

フリップチップ型半導体集積回路において、バンプ電極は直接回路基板に実装可能にされる端子であって、パッケージのリードピン等の外部接続端子に相当され、バンプ電極を形成してウェーハプロセスを全て完了した後は、バンプ電極のみ露出され、最早ボンディングパッドは絶縁膜若しくは保護膜に覆われてしまう。

10 本発明者は、半導体チップのボンディングパッドの数をパッケージのリードピンに代表されるような外部端子(バンプ電極)の数と比べた。これによれば、プローブ検査のみに用いられるボンディングパッド、ボンディングオフションの手法で電源端子等に接続されるボンディングパッドにはそれ専用の外部端子は割り当てられない。したがって、フリップチップ型半導体集積回路に置き換えて考えた場合、再配置配線及びバンプ電極形成前であれば全てのボンディングパッドを利用してウェーハプローブテストを行うことができる。しかしながら、直接プローブを接触させるとボンディングパッドが損傷して再配置配線との接続不良などを引き起こす虞のあることが本発明者によって見出された。

20 前記(a)～(c)の文献にはプローブ検査の手法について全く記載はない。プローブ検査との関連が記載された文献として、例えば、(d) Michael J. Varnau: "Impact of Wafer Probe Damage on Flip Chip Yields and Reliability", International Electronics and Manufacturing Technology Symposium (October 23-24, 1996) には、プローブ検査後のボンディングパッド上にバンプ電極下地金属を形成する技術が記載されている。しかしな

がら、前記(d)に記載の文献に関しては、再配置配線工程前のボンディングパッドにプローブを当てると、本発明者による前述の検討の通り、ボンディングパッド表面が損傷して再配置配線層との接続信頼性が低下する可能性があり、再配置配線用材料の選択に制約が生じる。

- 5 更に、フリップチップ型半導体集積回路におけるプローブテストに関して以下の文献が有る。

(e) 米国特許第5597737号公報には、バンパ電極形成前のバンパ電極下地金属(UBM: Under Bump Metallurgy)にプローブを当ててプローブ検査を行う技術が記載されている。

- 10 (f) 特開平8-64633号公報にはバンパ電極下地金属に隣接し且つ連結して検査パッドを設けた構成が示されている。検査パッドはバンパ電極の側部に配置されている。

- 15 (g) 特開平8-340029号公報には再配置配線層を形成したボンディングパッドの直上部を露出させ、この露出部分にプローブ検査用の検査パッドを形成する発明に関する記載がある。

(h) 特開平8-29451号公報にはボンディングパッド近傍に、再配置配線層でプローブ検査用のパッドを形成する発明に関する記載がある。

本発明者は上記文献に記載の技術を更に検討して以下の結果を得ることができた。

- 20 前記(e)に記載の技術も、前記(d)の技術と同様に、プローブ先端で半田バンパ電極下地金属を傷付ける可能性があり、半田に対する濡れ性低下や、半田拡散防止のためのバリア金属の損傷による、半田バンパ電極との接合信頼性を低下される原因になることが本発明者によって明らかにされた。

- 25 更に、前記(e)に記載の技術においてバンパ電極下地金属はバンパ電極と同様にエリアアレイ状に配置され、また、(f)に記載の技術に

において、検査パッドもバンパ電極と一緒にエリアアレイ状に配置されている。そのため、文献（e）、（f）記載の技術では、通常用いられているカンチレバー方式のプロープを、多列配置されたバンパ電極下地金属あるいは検査パッドに適用することは困難であり、エリアアレイ状に配置された端子専用の高価なプロープが別途必要になると言う新たな問題点を生ずる事が本発明者によって明らかにされた。

前記（g）の文献では、半導体装置の高集積化に伴ってボンディングパッドの寸法及び間隔が狭くなると、検査パッドの寸法、間隔も狭くなり、プロープの位置決め及び確実な接触が困難になるという問題点のあることが本発明者によって見出された。

前記（h）に記載の技術では、再配置配線層に検査パッドの面積が付加されるため、配線のキャパシタンスが増大し、半導体集積回路の電気的特性が低下する虞の有る事が本発明者によって明らかにされた。

前記（f）～（h）の文献において、検査パッドを無機絶縁層上または金属配線層上に形成しているため、検査パッドにクロムやニッケル等の硬い金属膜を用いた場合、検査パッド表面が変形しにくい。このためプロープ先端との接触性が悪く、先端に金めっきを施したり、広い接触面積の得られる構造を採用した高価なプロープが必要になると言う問題点のあることが本発明者によって明らかにされた。

更に、前記（e）～（h）に従来技術として記載されているように、形成済みの半田バンパにプロープを当てると、厚い酸化膜で覆われた曲面に強い荷重でプロープを当てるため、バンパの変形やプロープ自体に損傷を生じ易いという問題点が明らかにされた。

このように、前述の文献には、フリップチップ型半導体集積回路、そしてバンパ電極と対を成す検査パッドについて記載されているが、本発明者が最初に検討したように、プロープ検査のみに用いられるボンディ

ングパッドやボンディングオプションの手法で電源端子等に接続されるボンディングパッド等にはそれ専用のリードピンのような外部端子は割り当てられていないという点を考慮した記載若しくは示唆は全く無い。すなわち、従来技術は、プローブ検査にのみ用いられ最終製品段階では不要となる検査専用の検査パッドに着目した発明思想を提供するに至っておらず、検査パッドは常にバンプ電極と対を成して存在されている。換言すれば、検査に必要な信号は少なくともバンプ電極として取り出し可能になっていることを前提としている。したがって、検査にのみ必要な信号端子に対しても半田バンプ電極が設けられるとすれば、
10 バンプ電極の数が増大し、回路基板への実装と言う意味で実用的な間隔でのバンプ電極の配置が困難になることが本発明者によって明らかにされた。

本発明の目的は、再配置配線工程前のパッドを損傷することなく、またバンプの数を増加させることなくプローブ検査を実施することができ
15 きる半導体集積回路及びその製造方法を提供することにある。

本発明の別の目的は、検査パッドの付加によって生じる配線のキャパシタンス増大を軽減することができる半導体集積回路及びその製造方法を提供することにある。

本発明の更に別の目的は、検査パッドとプローブの接触性を向上させる事が出来る半導体集積回路及びその製造方法を提供することにある。
20

本発明の更に別の目的は、実装基板との接続信頼性が向上すると共に、バンプ間隔を広く取ることができるため基板実装コストが低減できる半導体集積回路及びその製造方法を提供することにある。

本発明の更に別の目的は、突起状電極をアレイ状に配置する為の金属配線による容量性負荷を小さくすることが可能な半導体集積回路を提供することにある。
25

また、本発明者は、前記フリップチップ型半導体集積回路と共に、プログラム素子についても検討した。プログラム素子は、半導体集積回路において、その不良回路部分を冗長回路に置き換える救済等に用いられている。前記プログラム素子として、例えば金属膜やポリシリコン膜から成るヒューズが多用され、レーザ光の照射で熔断することによってプログラムされる。ヒューズに対するプログラムは、プローブテストの後に実施される。この段階でウェーハの表面のパッシベーション膜にはボンディングパッドやヒューズを露出する開口が形成されており、例えばボンディングパッドを用いてプローブテストが行なわれる。プローブテストでは不良の所在が判明し、不良部分を救済回路で置き換え可能なように選択的なレーザ光の照射によって前記ヒューズに対するプログラムが行なわれる。

別のプログラム素子として電気ヒューズがある。例えば米国特許第 5 1 1 0 7 5 3 号公報には、電気ヒューズの一種であるアンチヒューズを、D R A M の欠陥救済等に用いる技術が記載されている。アンチヒューズは、絶縁状態の酸化膜の絶縁破壊によってプログラム可能な構成を有する。更に、米国特許第 5 7 4 2 5 5 5 号公報には、アンチヒューズの例として、p 型ウェル領域に酸化膜を用いてキャパシタを構成し、キャパシタのウェル電極に負電圧を、酸化膜上のプレート電極に正電圧を印加してゲート酸化膜を絶縁破壊する例が示されている。電気ヒューズを用いた半導体集積回路について記載されたその他の文献として、米国特許第 5 3 2 4 6 8 1 号公報等がある。

その他のプログラム素子として電氣的に書き込み可能であって消去可能な E E P R O M やフラッシュメモリなどの、プログラム状態を可逆的に変更可能な不揮発性記憶素子がある。米国特許第 5 7 4 2 5 5 5 号公報にはそのようなプログラム素子を有する D R A M について記載が

有る。

本発明者は、前記フリップチップ型半導体集積回路に、欠陥救済、モード設定、そしてトリミング用にプログラム素子を搭載する事について検討した。

5 最初に検討したプログラム素子はレーザーで熔断可能なヒューズである。ポリシリコン膜から成るヒューズ（ポリシリコンヒューズ）は、例えば、半導体基板上のウェル領域に設けられた素子分離領域の上部に長方形に形成され、その一端が、複数層の金属配線を介して選択トランジスタのソース領域に接続され、他端が金属配線を介して接地電位に接続されている。前記ポリシリコンヒューズの上部には、前記複数層の金属配線間の層間絶縁膜及びパッシベーション膜が積層された後、レーザー光を照射するための照射窓を開くために、上記積層膜をエッチングして最終的に膜厚 $0.5 \sim 1 \mu\text{m}$ の絶縁膜が残されている。このように構成されたポリシリコンヒューズを熔断する際には、前記絶縁膜を通じてレーザー光が照射される。例えば、ポリシリコン膜の幅が $2 \mu\text{m}$ 、配置の間隔が $5 \mu\text{m}$ 、レーザー光を照射するための照射窓が幅 $10 \mu\text{m}$ に設計されている。このとき、強度 $1.5 \mu\text{J}$ 、スポット径 $6 \mu\text{m}$ の He-Ne レーザーを照射することにより、ポリシリコンヒューズを熔断することができる。

20 しかしながら、従来のポリシリコンヒューズをレーザー光照射によって熔断する方式には以下の問題点のあることが本発明者によって明らかにされた。

25 第1の問題点は、上記レーザー光を照射するために照射窓を開く処理が非常に困難になりつつあることである。特に近年、急速に市場が拡大しつつある高速のロジック回路やアナログ回路を大容量DRAM等と混載する、いわゆるシステムLSI製品においては、ロジック回路

が5層以上の金属配線層を必要とすることから、ポリシリコンヒューズから最上部のパッシベーション膜までの絶縁膜の厚さが5 μm 以上に厚くなるため、ヒューズ上部に厚さ0.5 μm 程度に絶縁膜を残すエッチングをウェーハ全面にわたって均一に行うことが技術的に困難となっている。ヒューズ上部の絶縁膜厚さが1 μm 以上残った場合は、レーザー光の入射強度が弱まり熔断が不十分となる。また、ヒューズ上部の絶縁膜厚さが0.5 μm 以下に薄くなった場合は、その後のプロセス処理のバラツキによってはヒューズ表面が露出する危険性があり、熔断されていないヒューズが断線する不良発生の確率が著しく高くなる。

- 10 第2の問題点は、前記フリップチップ型半導体集積回路では、製造工程の方式上、従来のレーザー光照射によってヒューズを熔断することが不可能となることである。従来の製造工程では、金属配線層上部に水分の侵入を防止するためのパッシベーション膜の形成が完了した段階で、ウェーハ状態でクリーンルーム内で行う製造工程が終了する。その後、ブ
- 15 ローブテストと救済を行った後、パッケージへの組み立てが行われ、最終の選別が実施されている。一方、フリップチップ型半導体集積回路においては、製造コストをさらに削減するため、パッシベーション膜形成の後に、リードフレームに類似する金属配線（再配置配線）の形成と半田バンプ電極の堆積までをウェーハ状態でクリーンルーム内で行うものである。このフリップチップ型半導体集積回路において、従来のレーザー
- 20 光照射によってヒューズを熔断する方式を適用すると、熔断されたヒューズ上部にリードフレームに類似する再配置配線を構成するための金属配線の堆積と加工が行われることになり、ポリシリコンヒューズの腐食と腐食部分からの水の侵入による信頼性低下を免れない。これにより、本発明者は、フリップチップ型半導体集積回路ではレーザー光照射
- 25 によってヒューズを熔断する方式に代る、何らかの電氣的にプログラム

が行える方式の必要性を見出した。

第3の問題点は、ポリシリコンヒューズが比較的に必要なレイアウト面積を必要とする点である。1本のヒューズには少なくとも $5 \times 10 \mu\text{m}^2$ のレイアウト面積が必要であり、ヒューズ本数の上限を決める大きな要因となっている。

次に、プログラム素子として、電氣的に書き込み可能であって消去可能な不揮発性記憶素子を採用する事についても検討した。これによれば、プログラム素子の数が少なくて済むような場合には電氣的書き込み等の為の周辺回路によるチップ占有面積が相対的に大きくなり、面積効率の点で不利な場合のあることが明らかにされた。

上記検討結果により、本発明者は、フリップチップ型半導体集積回路のプログラム素子としてアンチヒューズなどの電気ヒューズを採用する事に優位性を見出した。このとき更に、アンチヒューズにおいて絶縁破壊のための電圧印加は半導体集積回路の製造段階でのみ必要な処理であるから、半導体集積回路の大規模化によって多数のバンプ電極を形成しなければならないというような事情の下では、絶縁破壊の為に専用バンプ電極を設ける余裕のない場合のある事が本発明者によって明らかにされた。また、フリップチップ型半導体集積回路においてバンプ電極は回路基板実装用の端子であるから、その応力・歪状態は直接的にチップに伝達されるので、それを緩和させる手段の必要性が本発明者によって認識された。

本発明者は更に観点を変えて、フリップチップ型半導体集積回路のボンディングオプションについて検討した。ボンディングオプションは、例えば半導体集積回路の動作モード設定用電極に割り当てられたボンディングパッドをフローティングにするか電源端子に接続するか等に応じて動作モードを決定するようにした手法である。ボンディングオブ

ションでは、半導体チップの所定のボンディングパッドをパッケージのどのリードピンにボンディングするかを、組み立て時に選択すればよい。しかしながら、フリップチップ型半導体集積回路においてバンプ電極は直接回路基板に実装される端子であって、パッケージのリードピンに相当され、ウェーハプロセスを全て完了した後は、最早ボンディングオプションのような処置を施す事は物理的に不可能である。特定のボンディングパッドのような電極パッドに接続すべきバンプ電極を変更するには、ウェーハプロセスの段階で、前記所定のボンディングパッドのような電極パッドからバンプ電極に至る配線パターンを個別に変更しなければならない。これに対して、本発明者は、ボンディングオプションと同等の融通性若しくは使い勝手を得るには、一旦そのような配線パターンを完成したフリップチップ型半導体集積回路を後から機能設定できるようにする事が必要であるという認識に立った。

本発明の目的は、プログラム素子としてレーザで熔断可能なヒューズを用いることによって顕在化される信頼性低下を引き起こさないフリップチップ型半導体集積回路、そしてその製造方法を提供することにある。

本発明の別の目的は、フリップチップ型半導体集積回路のプログラム素子の状態を電氣的に変更するために必要となる電極がその他の用途の突起状電極の数を制限しない半導体集積回路を提供することにある。

本発明の更に別の目的は、フリップチップ型半導体集積回路において突起状電極を介して半導体基板に与えられる応力・歪状態を緩和させることができる半導体集積回路を提供することにある。

本発明の更に別の目的は、機能設定などに関してボンディングオプションと同等の融通性を容易に得る事が出来るフリップチップ型半導体集積回路、そしてその製造方法を提供することにある。

本発明のその他の目的は、検査並びにプログラム素子の状態変更を伴う必要な機能選択及び救済を能率的に行ってフリップチップ型半導体集積回路を製造することができる製造方法を提供する事にある。

- 5 本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を説明すれば以下の通りである。

- 10 《プローブテストとフリップチップ型半導体集積回路》
- [1]プローブテストに着目したフリップチップ型半導体集積回路に関する発明では、バンプ電極(208)を設けないプローブ検査にのみ用いられるボンディングパッドのような端子(202b)の直上もしくは近傍に、再配置配線層(205)もしくはバンプ電極下地金属層(20
- 15 7)等の導電層を用いた検査パッド(209b)を設ける。バンプ電極を設けるボンディングパッドのような端子(202a)についても同様の検査パッド(209a)を設けても良い。プローブ検査はこれらの検査パッドを用いて、若しくは、前記検査パッドと共に、バンプ電極形成前のバンプ電極下地金属を併用して実施する。上記により、検査パッド
- 20 を使用することにより、プローブ検査専用パッドのためのバンプ電極を追加しなくてもよい。更に、ボンディングパッドのような端子の近傍に設けられバンプ電極下地金属よりも寸法の小さな検査パッドを使用することにより、再配置配線工程後にプローブ検査を実施することができる。
- 25 更に、ポリイミドなどの有機絶縁層(204)上に再配置配線(205)のような導電層及び検査パッド(209a, 209b)を形成する。

比誘電率が小さく厚膜化の容易な有機絶縁層上に検査パッドを設けることにより、検査パッドと下部半導体回路の間のキャパシタンスを低減することが可能となる。また、有機絶縁層の弾性係数が比較的小さいため、検査パッド表面が変形し易くなり、プローブの接触性が向上する。

5 そして、再配置配線上に絶縁層（206）を形成し、その上にバンプ電極下地金属及び検査パッドを形成する。よって、再配置配線の上下2層の絶縁層を積層した上に検査パッドを設けることにより、検査パッドと下部半導体回路の間のキャパシタンスを低減することが可能となる。

10 〔2〕上記について更に詳述する。前記検査パッド（209b）を突起状電極（208）と排他的に設ける。これにより、回路基板への実装と言う意味で実用的な間隔でのバンプ電極の配置を最大限に容易化する。すなわち、半導体集積回路は、半導体基板と、前記半導体基板上の素子形成層に形成された複数の回路素子と、前記素子形成層の表面に形成され所定の前記回路素子に接続される複数の端子（202a, 202b）と、前記複数の端子の内の一部の端子である第1の端子（202a）に夫々接続され前記素子形成層の上に延在する複数の導電層（205）と、前記導電層に夫々接続された突起状電極（208）と、前記複数の端子の内の残りの端子である第2の端子（202b）の全部又は一部に夫々接続された検査パッド（209b）と、前記突起状電極及び検査パッドを露出させて表面を覆う絶縁膜（206）と、を有して成る。

20 前記において、突起状電極（208）を有する端子（202a）に対しても検査パッド（209a）を追加することができる。ウェーハプローブテストを検査パッド（209a, 209b）だけを用いて容易に行う事ができる。

25 前記導電層を前記端子の配列に対する突起状電極の再配置用配線（205）として用いる場合、前記導電層の上下に前記絶縁膜（204, 2

06) が配置される。絶縁膜は、フリップチップ型半導体集積回路において突起状電極や検査パッドを介して半導体基板に与えられる応力・歪状態を緩和させる。特に、ポリイミド膜、フッ素樹脂膜、又はシリコン若しくはアクリル系ゴム材料を含むエラストマ膜などの有機物質を含む膜を前記絶縁膜として採用すれば、その膜は、酸化シリコン膜などの絶縁膜に比べて弾性係数が比較的小さいから、応力・歪状態の緩和に適している。

前記検査パッドは対応する前記端子の直上に配置することができる。また、半導体基板の中央部に前記検査パッドを規則的に配置し、前記検査パッドの外側に前記突起状電極を規則的に配置することができる。また、前記絶縁膜の上に前記検査パッドを延在させることも可能である。

〔3〕前記検査パッドを突起状電極と排他的に設けた構造の半導体集積回路の製造方法は、半導体ウェーハ上の素子形成層に所要の回路を構成すると共に、前記素子形成層の表面に前記所定の回路素子に接続された複数の端子(202a, 202b)を形成し前記複数の端子の内の一部の端子である第1の端子(202a)に夫々接続され前記素子形成層の上に複数の導電層(205)を延在させる第1の工程(第37図～第40図)と、前記延在された導電層に接続する突起状電極(208)を形成する第2の工程(第43図)と、前記複数の端子の内の残りの端子である第2の端子(202b)の全部又は一部に夫々接続させて検査パッド(209b)を形成する第3の工程(第41図)と、前記素子形成層に形成された前記所要の回路を検査する第4の工程(第42図)と、バーンインを行う第5の工程(第58図のS9)と、前記ウェーハをダイシングする第6の工程(第58図のS8)とを含む。

突起状電極(208)を有する端子(202a)に対しても検査パッド(209a)を追加する場合には、前記第3の工程は、第2の端子の

全部又は一部と前記第 1 の端子の全部又は一部とに夫々接続させて検査パッドを形成する処理になる。

バーンインは、突起状電極形成後ダイシングしてから行い、或いは、その逆に、バーンイン後突起状電極を形成してダイシングを行っても良い。前者においては、フリップチップ型半導体集積回路と同様に外部接続電極がエリアアレイ状にマッピングされた BGA (ボールグリッドアレイ) 型の半導体チップの為に用意されているバーンイン用ソケットを流用でき、或いは突起状電極のエリアアレイ状の配列を既存のバーンイン用ソケットの端子配列に合わせることにより、特別な仕様のバーンイン用ソケットを新規に用意しなくても済み、チップ単位でのバーンインを容易に行う事が出来、また、テストコストの低減にも寄与する。後者は、プローブテストだけでなく、バーンインも、検査パッド、或いは検査パッドと突起状電極下地金属を用いて行う事が出来る。したがって、高温下でソケットに接触する事により半田バンプ電極のような突起状電極が変形するのを防止する事が出来る。

《プログラム素子とフリップチップ型半導体集積回路》

[4] 本発明ではフリップチップ型半導体集積回路に電気ヒューズのようなプログラム素子 (1) を採用する。すなわち、半導体集積回路は、半導体基板 (10) と、前記半導体基板上の素子形成層 (半導体領域、配線層及び絶縁層を含む回路素子形成領域) に形成された複数の回路素子 (1, 2) と、前記素子形成層の表面に形成され所定の前記回路素子に接続される複数の端子 (86, 87, 88, 89) と、所定の前記端子 (86, 87, 88, 89) に接続され前記素子形成層の上に延在する導電層 (90) と、前記導電層に接続された突起状電極 (93) とを有する。このとき、前記回路素子の少なくとも一つとして、電流経路に所定の電位差が形成されることによって当該電流経路の高抵抗状態又

は低抵抗状態を不可逆的に変化させるプログラム素子(1)を有し、前記端子の少なくとも一つは、前記電位差を形成する為の電圧の入力端子(86, 87)とする。

上記により、プログラム素子としてレーザで熔断可能なヒューズを用いることによって顕在化される信頼性の低下を全く引き起こさない。

前記導電層を前記端子の配列に対する突起状電極の再配置用配線(205)として用いる場合、前記導電層の上下には、少なくとも前記突起状電極を露出させて表面を覆う絶縁膜(204, 206)を配置することができる。そのような絶縁膜により、フリップチップ型半導体集積回路において突起状電極(209)を介して半導体基板に与えられる応力・歪状態を緩和させることができる。特に、有機物質を含むポリイミド膜又はエラストマ等の膜を前記絶縁膜として採用すれば、その膜は、酸化シリコンなどの絶縁膜に対して弾性係数が比較的小さいから、応力・歪状態の緩和に優れている。

半導体集積回路は、前記端子に接続して前記絶縁膜から露出するパッド電極(90, 90a)を更に備えることができる。このパッド電極はプローブテストのための検査パッドなどに用いることができる。

前記プログラム素子に所定の電位差を形成する為の電圧印加には前記パッド電極の内の一部のパッド電極(90a)を用いる事ができる。プログラム素子をプログラムした後、当該パッド電極(90a)をフローティングにしておけば良い回路構成の場合には、当該パッド電極(90a)には突起状電極を割当てなくても良い。したがって、フリップチップ型半導体集積回路のプログラム素子の状態を電氣的に変更するために必要となる電極がその他の用途の突起状電極の数を制限しない。これに対し、プログラム素子をプログラムした後、当該パッド電極(90a)を接地電位(Vss)又は電源電圧(Vcc)に強制しなければな

いらない回路構成の場合には、当該パッド電極（90a）には突起状電極（93a）を割当て、基板実装に際して当該突起状電極（93a）を配線基板上の接地電位（Vss）又は電源電圧（Vcc）の電源配線に接続しておけば良い。

- 5 前記プログラム素子に所定の電位差を形成する為の電圧がプログラム素子以外の回路の動作電源電圧と相異なる電圧である場合には、前記プログラム用電圧の印加電極を複数のプログラム素子に共通化すればよい。

- 10 前記プログラム素子には、電気的な絶縁破壊によって高抵抗状態から低抵抗状態に変化される電気ヒューズを採用することができる。例えば、プログラム素子の前記電流経路は、前記高抵抗状態において絶縁膜が充填され、前記低抵抗状態において絶縁膜が破壊されている。

- 15 前記絶縁膜の破壊は、前記電流経路の一端への正電圧（VDD）印加と、他端への負電圧（Vbb'）印加によって行うことができる。これにより、プログラム素子には所定の電位差として高圧を得る事ができ、回路の接地電圧（Vss）を基準とした絶対値的な電圧はほぼ通常動作の電圧に抑える事が可能になる。この場合に、前記負電圧は、前記電位差を形成する為の所定の電圧の印加に利用される前記突起状電極又はパッド電極から各プログラム素子へ共通に供給すればよい。或いは、チップ外部から供給される正電圧（VDD）及びグランド電圧（GND）に基づいてチップ内部で形成される内部電圧をプログラム素子に与えてもよい。例えば、前記内部電圧としては、前記VDDよりも大きな高圧電圧（VCH）又は負電圧（Vbb'）がある。プログラム素子に対するプログラムの有無は、プログラム素子の反対側の印加電圧を、アドレス信号などを用いて制御すればよい。
- 20
- 25

前記プログラム素子は不良の救済に用いることができる。すなわち、

前記回路素子で構成された正規回路と、不良の前記正規回路を代替するものであって前記回路素子で構成され救済回路を有し、前記プログラム素子を、救済回路で置き換えられるべき正規回路を特定するための救済情報の記憶手段（160）に採用することができる。例えば、前記正規回路はメモリセルであり、前記救済回路は冗長メモリセルであり、前記プログラム素子によって記憶された救済情報と前記メモリセルのアクセスアドレス信号とを比較するものであって前記回路素子で構成された比較回路（161）と、前記比較回路の一致に応答して前記メモリセルの選択に代えて前記冗長メモリセルを選択可能とし、前記比較回路の不一致に応答して前記メモリセルを選択可能とするものであって前記回路素子で構成された選択回路（106XD）と、を有する。

前記プログラム素子は半導体集積回路の機能選択に用いることができる。すなわち、前記プログラム素子を、前記半導体集積回路の動作モードを決める為の動作モード指定情報の記憶手段（AF0～AF2）として採用することができる。これにより、フリップチップ型半導体集積回路において、突起状電極を形成した後でも機能選択若しくは動作モード選択と言う点でボンディングオプションと同等以上の融通性を簡単に得ることができる。

前記プログラム素子は半導体集積回路に内蔵された所定の回路の特性を選択する為のトリミング情報の記憶手段（AF10～AF12）として採用することができる。例えば、半導体集積回路は抵抗分圧回路（183）を有し、前記プログラム素子に記憶されたトリミング情報は、前記抵抗分圧回路で生成される分圧電圧を選択する。

〔5〕フリップチップ型半導体集積回路に電気ヒューズのようなプログラム素子を採用した半導体集積回路の製造方法は、半導体ウェーハ上の素子形成層に所要の回路を構成すると共に、前記回路には電流経路に所

定の電位差が形成されることによって当該電流経路の高抵抗状態又は低抵抗状態が不可逆的に変化されるプログラム素子を少なくとも含め、前記回路に接続する複数の端子を前記素子形成層の表面に形成する第1の工程と、前記複数の端子の一部に対応する実装接続用の複数の突起状電極を形成する第2の工程（S7）と、前記回路を検査する第3の工程（S5）と、前記第3の工程による検査結果に従って欠陥部分を救済回路に置き換える第4の工程（S6）と、バーンインを行う第5の工程（S9）と、前記ウェーハをダイシングする第6の工程（S8）とを含む。そして、前記プログラム素子の状態を不可逆的に変化させて前記回路の機能を選択する第7工程（S4）を含む。前記プログラム素子には、前記絶縁破壊型の電気ヒューズ（1）を用いることができる。

上記により、レーザで熔断可能なヒューズをプログラム素子として用いることなく、半導体集積回路の機能選択が可能である。これにより、機能選択が施されて製造されたフリップチップ型半導体集積回路の歩留まり向上並びに信頼性向上に寄与することができる。

前記プログラム素子による機能選択を前記突起状電極の形成前に行うことができる。即ち、前記第7工程（S4）の後に前記第2の工程（S7）を行う。突起状電極を形成した後はウェーハ上に少なからず凹凸ができる。突起状電極形成前に機能選択を行えば、そのためのプログラム素子への電圧印加用パッド若しくは端子に対するプローブの接触が容易であり、機能選択の作業能率を向上させることができる。

上記とは逆に、前記プログラム素子による機能選択（S4）を前記突起状電極の形成（S7）後に行うことができる。この場合には、機能選択のためにプログラム素子へ電圧を印加するための電極を突起状電極と同様に半導体集積回路の表面に露出させおく必要がある。但し、機能選択に伴う処理を除いてウェーハ工程の殆どを終えた状態で半導体集

積回路を在庫できるので、在庫管理が容易である。

前記欠陥部分を救済回路に置き換える前記第4工程(S6)において、前記置き換えは、前記プログラム素子の状態を不可逆的に変化させて行うことができる。このとき、機能選択(S4)、検査(S5)、及び救済(S6)の各工程は、1回路のブローピング処理で済ませる事ができる。すなわち、前記第3工程、前記第4工程及び前記第7工程を連続的に行い、各工程には必要に応じて前記端子又は突起状電極に対するブローピング処理を含む。機能選択(S4)、検査(S5)、及び救済(S6)の各工程の後に突起状電極を形成(S7)すれば、プログラム素子への電圧印加用パッド若しくは端子に対するブローブの接触が容易であり、機能選択はもとより検査及び救済の作業能率も向上させることができる。

前記バーンインを行う第5工程(S9)の後に第2工程により突起状電極を形成(S7)すれば、高温環境下での突起状電極の変形を考慮しなくてもよいから、その点においてバーンインを容易に行うことができる。

[6]フリップチップ型半導体集積回路における欠陥部分を救済回路に置き換えることに着目したとき、半導体集積回路の製造方法は、半導体ウェーハ上の素子形成層に所要の回路を構成すると共に、前記回路には電流経路に所定の電位差が形成されることによって当該電流経路の高抵抗状態又は低抵抗状態が不可逆的に変化されるプログラム素子を少なくとも含め、前記回路に接続する複数の端子を前記素子形成層の表面に形成する第1の工程と、前記複数の端子の一部に対応する実装接続用の複数の突起状電極を形成する第2の工程(S7)と、前記回路を検査する第3の工程(S5)と、前記第3の工程による検査結果に従って欠陥部分を救済回路に置き換える第4の工程(S6)と、バーンインを

行う第5の工程（S9）と、前記ウェーハをダイシングする第6の工程（S8）とを含み、前記第4工程（S6）は、前記プログラム素子の状態を不可逆的に変化させて前記置き換えを行う工程とされる。前記第4工程では、例えば、前記複数の端子のうち前記プログラム素子に接続されている所定の端子に、前記電流経路に所定の電位差を形成する為の電圧を印加する。プログラム素子は例えば前記絶縁破壊型の電気ヒューズとされる。

上記により、レーザで熔断可能なヒューズをプログラム素子として用いることなく、半導体集積回路の欠陥救済が可能である。これにより、救済が施されて製造されたフリップチップ型半導体集積回路の歩留まり向上並びに信頼性向上に寄与することができる。

図面の簡単な説明

第1図は本発明に係る半導体集積回路に用いられているアンチヒューズ回路の一例を示す回路図である。

第2図は第1図のアンチヒューズ回路を構成する回路素子のデバイス構造の一例を示す縦断面図である。

第3図は基板ゲート容量を用いたアンチヒューズのレイアウトの一例を示す平面図である。

第4図は第2図の選択トランジスタ及びアンチヒューズを構成する為の最初の製造工程における状態を示す縦断面図である。

第5図は第4図に続く次の製造工程を示す縦断面図である。

第6図は第5図に続く次の製造工程を示す縦断面図である。

第7図は第6図に続く次の製造工程を示す縦断面図である。

第8図はアンチヒューズの絶縁破壊動作時における電圧印加条件の一例を示す説明図である。

第9図はアンチヒューズの絶縁破壊時における電圧電流特性の一例を示す特性図である。

第10図は第1図の構成に対して選択トランジスタの保護抵抗とラッチアップ防止抵抗を追加したアンチヒューズ回路の回路図である。

- 5 第11図は第10図の回路でアンチヒューズを絶縁破壊する時の電圧印加条件とアンチヒューズ周りのデバイス断面構造を例示する縦断面図である。

第12図は本発明に係る半導体集積回路の別の例であるフリップチップ型DRAMのDRAMチップを示す平面図である。

- 10 第13図は第12図のDRAMチップを用いてフリップチップ型DRAMを得るときに最初の製造工程におけるチップ平面図である。

第14図は第13図に続く次の製造工程におけるチップ平面図である。

- 15 第15図は第14図に続く次の製造工程におけるチップ平面図である。

第16図は第15図に続く次の製造工程におけるチップ平面図である。

第17図は第12図のフリップチップ型DRAMにおけるアンチヒューズ回路の主要部の縦断面図である。

- 20 第18図は本発明の半導体集積回路の第3の例に係るフリップチップ型システムLSIの機能ブロック図である。

第19図は第18図におけるアンチヒューズ回路とロジック回路及び外部入出力回路のデバイス構造の縦断面図である。

- 25 第20図は第18図のフリップチップ型システムLSIに内蔵されたDRAM106の一例ブロック図である。

第21図は救済アドレス記憶回路に用いられる1ビット分のアンチ

ヒューズ回路の一例を示す回路図である。

第 2 2 図は第 2 1 図のアンチヒューズ回路を用いた救済アドレス記憶回路の一例を示す回路図である。

5 第 2 3 図はアンチヒューズを絶縁破壊するときの動作の一例を示すタイミングチャートである。

第 2 4 図は検出信号を読み出す動作の一例を示すタイミングチャートである。

第 2 5 図は第 2 2 図におけるトランジスタ、アンチヒューズのデバイス断面の一例を示す縦断面図である。

10 第 2 6 図はアドレス比較回路の一例を示す論理回路図である。

第 2 7 図はボンディングオプションの一例を示す説明図である。

第 2 8 図は入力保護回路及び初段入力回路の一例を示す回路図である。

15 第 2 9 図はボンディングオプション判定回路の一例を示す論理回路図である。

第 3 0 図はボンディングオプションで設定可能な動作モードを整理して示した説明図である。

第 3 1 図はアンチヒューズ回路を用いてボンディングオプションと同等の機能選択を可能にする構成を示すブロック図である。

20 第 3 2 図は第 3 1 図のアンチヒューズによって設定可能な動作モードを整理して示す説明図である。

第 3 3 図はアンチヒューズを採用したトリミング設定回路の一例を示す回路図である。

25 第 3 4 図はトリミングデコーダの論理構成の一例を示す論理回路図である。

第 3 5 図はフリップチップ型 D R A M の一例平面図である。

第 3 6 図は第 3 5 図の一部分を拡大し表面の絶縁層を除去して再配置配線の引き回しが見えるように示した平面図である。

第 3 7 図は第 3 5 図のフリップチップ型 D R A M の製造工程における最初の状態を示す縦断面図である。

5 第 3 8 図は第 3 7 図に続く製造工程における縦断面図である。

第 3 9 図は第 3 8 図に続く製造工程における縦断面図である。

第 4 0 図は第 3 9 図に続く製造工程における縦断面図である。

第 4 1 図は第 4 0 図に続く製造工程における縦断面図である。

第 4 2 図は第 4 1 図に続く製造工程における縦断面図である。

10 第 4 3 図は第 4 2 図に続く製造工程における縦断面図である。

第 4 4 図は 6 4 メガビットシンクロナス D R A M チップにおけるボンディングパッド数とパッケージにおける外部端子数との比較を示す説明図である。

15 第 4 5 図はフリップチップ型 D R A M における再配置配線部分の他の構造を示す断面図である。

第 4 6 図は検査パッドのレイアウト構成の別の例を示す平面図である。

第 4 7 図は第 4 6 図のレイアウト構成における断面構造の一例を示す縦断面図である。

20 第 4 8 図は検査パッドの断面構造の更に別の例を示す縦断面図である。

第 4 9 図は検査パッドのレイアウト構成の更に別の例を示す平面図である。

25 第 5 0 図は第 4 9 図のレイアウト構成における断面構造の一例を示す縦断面図である。

第 5 1 図はプローブ検査専用ボンディングパッドのみに検査パッド

を設けたレイアウト構成の平面図である。

第52図は検査パッドの更に別の構造を示す縦断面図である。

第53図は従来のワイヤボンディング接続用ウェーハの完成段階を示す斜視図である。

5 第54図は第53図に続くバンパ電極下地金属形成状態を示す斜視図である。

第55図は第54図に続くプローブ検査工程を示す斜視図である。

第56図は第55図に続く半田バンパ電極形成工程を示す斜視図である。

10 第57図は第56図に続く個片切断工程を示す斜視図である。

第58図は本発明のフリップチップ型半導体集積回路の再配置配線形成工程以降の製造工程フローを(a), (b), (c), (d)の4通りで示すフローチャートである。

15 第59図は第58図の各製造工程フローにおけるプローブ検査、バーニンイン、最終検査の各検査工程でのプローブ、ソケットなどのチップ接触箇所を示した説明図である。

発明を実施するための最良の形態

《アンチヒューズ回路》

20 第1図には本発明に係る半導体集積回路に用いられているアンチヒューズ回路の一例が示される。第1図において1で示される回路素子はプログラム素子の一例である絶縁破壊型電気ヒューズとしてのアンチヒューズである。このアンチヒューズ1は、他の周辺トランジスタとは電氣的に分離された基板電圧 $V_{bb'}$ が印加される半導体領域に形成された所謂基板ゲート容量によって構成される。このアンチヒューズ1の
25 ゲート容量電極がソース端子へ接続され、ドレイン端子に破壊用電圧 V

DDが印加され、ゲート電極へ破壊制御信号Vgが印加される選択トランジスタ2が設けられている。基板ゲート容量としてのアンチヒューズ（以下基板ゲート容量とも称する）1は、例えばハイレベルの破壊制御信号Vgによってオン状態にされた選択トランジスタ2を介してアンチヒューズ1のゲート容量電極へ破壊電圧VDDが印加され、基板側から基板電圧Vbb'が印加される。アンチヒューズ1の両端に印加された電位差によって、アンチヒューズ1のゲート絶縁膜のような絶縁膜が破壊され、アンチヒューズ1は高抵抗状態から低抵抗状態に変化される。

第1図の構成がメモリ等の不良ビットの救済に適用される場合、特に制限されないが、前記選択トランジスタ2のソースはセクタ3の選択端子に結合される。このセクタ3には、メモリアクセス時におけるアドレス信号の対応ビットAiとその反転信号AiBが入力される。例えば前記破壊信号Vgの論理値はアドレスビットAiの反転信号AiBと同じ論理値を有する。セクタ3は、選択端子の入力がローレベル（論理値“0”）のとき反転信号AiBを選択して出力し、選択端子の入力がハイレベル（論理値“1”）のときアドレスビットAiを選択して出力する。したがって、論理値“1”の破壊信号Vg(=AiB)によってアンチヒューズ1が破壊されているとき、セクタ3の選択端子は論理値“0”にされ、此れによってセクタ3は対応アドレスビットAiの反転信号AiBを出力する。破壊信号Vg(=AiB)が論理値“0”の場合にはアンチヒューズ1は破壊されず、セクタ3の選択端子は論理値“1”にされ、此れによってセクタ3は対応アドレスビットAiを出力する。換言すれば、アドレスビットAiの論理値が、破壊信号Vg(=AiB)の論理値の反転論理値に一致すれば、セクタ3の出力は論理値“1”にされる。

上記第1図の1ビットの構成を複数ビット分用いることにより、複数

ビットのアンチヒューズ1に、救済すべき不良アドレスをプログラムすることができる。即ち、救済すべき不良アドレスの各ビットの反転信号を各ビットの破壊信号V_gとしてアンチヒューズ1のプログラムを行う。前記アンチヒューズのプログラム処理を終えたメモリのアクセスアドレスが前記救済すべき不良アドレスに等しいとき、各ビットのセクタ3の出力は全て論理値“1”にされる。プログラムされたメモリのアクセスアドレスが前記救済すべき不良アドレスに対して1ビットでも相異すれば、少なくとも一つのセクタ3の出力は論理値“0”にされる。この状態を図示を省略する負論理積ゲート（ナンドゲート：NAND）で検出する事により、救済すべきアドレスに対するアクセスを検出できる。これによって、不良ビットに代えて救済用の冗長ビットを選択したりする。

第2図には図1のアンチヒューズ回路を構成する回路素子の断面構造の一例が示される。第1導電型（例えばp型）の半導体基板10の表面領域に、第2導電型（例えばn型）の深いウエル領域11が形成され、該第2導電型の深いウエル領域11の内部に第1導電型の浅いウエル領域13が形成されている。前記第2導電型の深いウエル領域11の外部には第1導電型の浅いウエル領域12が形成され、該第1導電型の浅いウエル領域12の表面領域に、素子分離領域14により分離された、第2導電型のドレイン領域18、第2導電型のソース領域19、ゲート酸化膜15、及びゲート電極17から成る選択トランジスタ2が構成されている。前記第1導電型の浅いウエル領域13の表面領域には、素子分離領域14により分離されて、ゲート容量酸化膜16、ゲート容量電極17、及び第1導電型の基板接続拡散層20から成るアンチヒューズ1を備える。前記ゲート容量電極17は前記選択トランジスタ2の第2導電型のソース領域19へ接続され、また、前記選択トランジスタ2の

第2導電型のドレイン領域18には破壊用電圧 V_{DD} が印加され、前記第1導電型の基板接続拡散層20には前記基板電圧 $V_{bb'}$ が印加される。

- 本発明の半導体装置においては、該基板ゲート容量のゲート破壊耐圧を BV_g 、該選択トランジスタのしきい電圧を V_{th_s} とすると、破壊信号 $V_g > V_{DD} + V_{th_s}$ の条件付きで、 $V_{DD} + V_{bb'} > BV_g$ に、あるいは、望ましくは
- 10 $|V_{DD}| \sim |V_{bb'}| > BV_g / 2$ に設定される。

- 上記アンチヒューズ1によれば、従来のヒューズを熔断するためのレーザー光の照射に係わる上述した問題点が解消できる。すなわち、金属配線層が5層以上の場合においても照射窓の開口が不要となる。更に、
- 15 ヒューズの状態変更は電氣的なプログラムで行う為、その詳細は後述するフリップチップ型半導体集積回路のようなプロセス方式においても、信頼性を低下される問題は何ら発生しない。さらに、 $0.5\mu m$ プロセス技術を用いても、基板ゲート容量は $3 \times 3\mu m^2$ 以下にレイアウトできることから、レーザー熔断形式に比べてレイアウト面積を $1/5$ 以下に
- 20 でき、ヒューズ本数の増加にも対応可能となる。

- 第3図には基板ゲート容量を用いた前記アンチヒューズの平面レイアウトとして、2本分の前記アンチヒューズ1のレイアウトが示されている。p型半導体基板上に、深いn型ウエル領域を形成するためのパターン21、浅いp型ウエル領域を形成するためのパターン22が形成さ
- 25 れている。パターン23はその矩形の外側に素子分離領域を定義する。パターン24は選択トランジスタ2のゲート電極17及びアンチヒュ

ーズ1のゲート容量電極17を定義するための例えばポリシリコン層から成る。25はコンタクト穴を形成するためのパターン、26、27は第1金属配線層を形成するためのパターンである。31は選択トランジスタ2のn型ドレイン領域18、32はn型ソース領域19、33はp型拡散層、34はp型基板接続拡散層である。

第4図から第7図には、第2図の選択トランジスタ2及びアンチヒューズ1（基板ゲート容量）の構成を得る為の各製造工程毎の断面図を示してある。

10 先ず、第4図に示されるように、抵抗率 $10\ \Omega\text{cm}$ のp型シリコン基板上10上に、深さ $0.3\ \mu\text{m}$ の溝型素子分離領域14を形成した後、イオン注入法により、加速エネルギー 1000keV の磷(P+)イオンをドーズ量 $1\times 10^{13}/\text{cm}^2$ 注入して深いn型ウェル11を形成する。そして、加速エネルギー 350keV のB+イオンをドーズ量 $1\times 10^{12}/\text{cm}^2$ と加速エネルギー 150keV のボロン(B+)イオンをドーズ量 $2\times 10^{12}/\text{cm}^2$ 、および加速エネルギー 50keV の BF_2 +イオンをドーズ量 $5\times 10^{12}/\text{cm}^2$ 注入して浅いp型ウェル12、13を形成する。その後、温度 850°C の熱酸化法により膜厚 7nm の高耐压系ゲート酸化膜41を成長させ、基板ゲート容量が形成される領域のみを開口した厚さ $1\ \mu\text{m}$ のレジスト膜42を通常のリソグラフィ法により形成した後、ウェットエッチング法により基板ゲート容量が形成される領域の前記高耐压系ゲート酸化膜41を除去する。

次に、第5図に示すように、前記レジスト膜42をアッシング法により除去し、洗浄を行なった後、温度 850°C の熱酸化法により膜厚 4.5nm の低耐压系ゲート酸化膜16を成長させ、同時に洗浄と酸化が追加されて膜厚 8nm に増加した高耐压系ゲート酸化膜15を形成する。その後、温度 600°C のCVD法（化学気相成長法：Chemical Vapor

Deposition) により堆積し、イオン注入法により、加速エネルギー 20 keV の P⁺ イオンをドーズ量 $4 \times 10^{15} / \text{cm}^2$ 注入した膜厚 200 nm のポリシリコン膜からなり、通常のリソグラフィ法により加工したゲート電極 17 を形成し、加速エネルギー 20 keV の砒素 (As⁺) イオンをドーズ量 $2 \times 10^{15} / \text{cm}^2$ を注入して n 型ドレイン領域 18 と n 型ソース領域 19 を形成し、更に、加速エネルギー 10 keV の B⁺ イオンをドーズ量 $2 \times 10^{15} / \text{cm}^2$ を注入して p 型基板接続拡散層 20 を形成する。

さらに、第 6 図に示されるように、温度 700 °C の CVD 法により堆積し、エッチバック法により加工した膜厚 100 nm の酸化膜からなるサイドスペーサ 43 を形成し、基板上及びゲート電極上に膜厚 40 nm の CoSi₂ サイド膜 44 を成長させた後、温度 400 °C の CVD 法により厚さ 100 nm のシリコン窒化膜 45 を堆積する。

最後に、第 7 図に示すように、CVD 法により堆積し、CMP 法 (化学的機械的研磨法: Chemical Mechanical Polishing) により平坦化した膜厚 1 μm のシリコン酸化膜 46 を形成し、所望の位置にコンタクト穴を形成し、CVD 法とエッチバック法により埋め込んだタングステン (W) プラグ 47 を形成し、膜厚 500 nm のアルミニウム膜をスパッタ法により堆積し、通常のリソグラフィ法により加工した第 1 金属配線 48 を形成して主要部の製造を完了する。

第 8 図には、アンチヒューズ 1 の絶縁破壊動作時における電圧印加条件が例示されている。p 型シリコン基板 10、選択トランジスタのある浅い p 型ウェル領域 12 には接地電位 0 V を印加し、深い n 型ウェル領域 11 には電源電圧 3.3 V を印加する。更に、基板ゲート容量の基板電圧 $V_{bb'} = -5 \text{ V}$ とし、選択トランジスタの n 型ドレイン領域 18 へ破壊電圧 $V_{DD} = 5 \text{ V}$ を印加した後、所望の選択トランジスタ 2 のゲート電極へ破壊信号 $V_g = 6 \text{ V}$ の電圧パルス、時間 1 ms 印加して、

アンチヒューズ 1 の低耐圧系ゲート酸化膜 16 へ実効的に 10 V の電圧を印加する。これによってゲート絶縁膜 16 が破壊され、アンチヒューズ 1 が絶縁破壊される。

第 9 図は基板ゲート容量である前記アンチヒューズ 1 の絶縁破壊時における電圧電流特性を示している。基板ゲート容量の平面寸法は素子分離間隔 $0.25 \mu\text{m}$ 、ゲート幅 $0.25 \mu\text{m}$ であり、 $V_{bb'} = 0 \text{ V}$ の場合、ゲート破壊耐圧 BV_g は 9 V である。本実施の形態では $V_{bb'} = -5 \text{ V}$ であるから、ゲート容量電極側に必要な破壊電圧は 3.8 V まで低下しており、選択トランジスタから 5 V を印加すれば問題なく破壊可能である。また、破壊直後に低耐圧系ゲート酸化膜 16 へ流れる電流値を 1 mA に制限したが、破壊後のヒューズの抵抗値は約 10 k Ω と、破壊前に比較して 10 桁低下している。これにより、前記選択トランジスタ 2 の電流駆動能力は 1 mA 以上に、また救済判定回路との間に接続される比較トランジスタ 3 の電流駆動能力は、破壊後のヒューズの抵抗値が約 10 k Ω になることを目安として設計すればよい。

第 10 図には第 1 図の構成に対して選択トランジスタの保護抵抗とラッチアップ防止抵抗を追加したアンチヒューズ回路の例が示される。第 10 図において前記選択トランジスタ 2 は p チャネル型トランジスタとされ、選択トランジスタ 2 の保護抵抗 50 とラッチアップ防止抵抗 51 が追加されている。第 10 図の回路においてその動作電源は、 $V_{bb'}$ と V_{DD} が明示されているが、当該明示された電源は他の回路の電源端子と別々にされている。電源が明示されていない回路の動作電源は V_{cc} 、 V_{ss} である。破壊信号 V_g を形成する回路として、モード判定回路 52、救済アドレスラッチ回路 53、ナンドゲート 54、レベル変換回路 55 が設けられている。アンチヒューズ 1 のプログラムモードがモード信号 56（又はモード信号 56 とアドレス信号の一部）によっ

てモード判定回路52に設定されると、モード判定回路52は不良ビットのアドレスデータを救済アドレスラッチ回路53にラッチさせ、その後、外部から供給される絶縁破壊すべきヒューズのアドレスを取込んで、ビット対応でナンドゲート54に出力する。アドレスデータはA0～A

5 iとして図示されている。モード判定回路52の出力アドレスと救済アドレスラッチ回路の出力アドレスが共にハイレベルで一致するとき、対応するナンドゲート54の出力がローレベルにされる。ナンドゲート54の出力はレベル変換回路55で電源電圧VDDの振幅に変換され、変換された信号は前記破壊信号Vgとして選択トランジスタ2のゲート

10 電極に供給される。前記破壊信号Vgは前記ナンドゲート54のローレベル（論理値“0”）出力に応答してローレベルにされ、これによって、破壊電圧VDDが基板ゲート容量であるアンチヒューズ1へ印加されて、そのヒューズ1が絶縁破壊される。

特に制限されないが、アンチヒューズ1のプログラム後は、電源電圧

15 VDDをVccに、基板バイアス電圧Vbb'を接地電圧Vssにしておく。

上記より、ヒューズ1が絶縁破壊されるときに対応アドレスビットAiはハイレベル（論理値“1”）である。この関係は第1図の場合と同じである。第10図において選択トランジスタ2のドレインには第1図と同様にセクタ3が設けられている。アンチヒューズ1のプログラム

20 後における通常動作時の救済判定動作は第1図で説明した内容と同じである。すなわち、前記アンチヒューズ1のプログラム処理を終えたメモリのアクセスアドレスが前記救済すべき不良アドレスA0～Aiに等しいとき、各ビットのセクタ3の出力は全て論理値“1”にされ、

25 これによって、救済すべきアドレスに対するアクセスを検出する。

第11図には第10図の回路でアンチヒューズを絶縁破壊する時の

電圧印加条件とアンチヒューズ周りのデバイス断面構造が例示されている。第11図において、p型シリコン基板60上に、深いn型ウエル領域61と、浅いn型ウエル領域62が形成され、深いn型ウエル領域61には浅いp型ウエル領域63及び71が配置されている。前記浅いn型ウエル領域62内には素子分離領域64で分離され、p型ドレイン領域68、p型ソース領域69、ゲート酸化膜65、及びゲート電極67から成る選択トランジスタ2が形成されている。前記浅いp型ウエル領域63内には基板ゲート容量酸化膜66が形成され、p型基板接続拡散層70、及びゲート電極67によって基板ゲート容量すなわちアンチヒューズ1が構成されている。前記基板ゲート容量のゲート電極67と選択トランジスタ2のp型ソース領域69の間に、前記浅いp型ウエル領域71を用いて、p型抵抗拡散層70で接続した保護抵抗50を形成している。

第11図において、p型シリコン基板60は接地電位 $V_{SS} (= 0V)$ へ固定され、深いn型ウエル領域61及び浅いn型ウエル領域62には $V_{nw} = V_{DD} = 5V$ が印加される。アンチヒューズ1のp型基板接続拡散層70へ $V_{bb'} = -5V$ を、選択トランジスタ2のp型ドレイン領域68へ破壊電圧 $V_{DD} = 5V$ を印加した後、第10図に示したレベル変換回路55からの破壊信号 $V_g = 5V$ がゲート電極67へ入力される。これにより、アンチヒューズ1の一方の容量電極には $V_{bb'} = -5V$ 、他方の容量電極には $V_{DD} = 5V$ が印加され、基板ゲート容量酸化膜66が絶縁破壊される。

上記第11図の例では、アンチヒューズ1の酸化膜46の膜厚は4.5nmとし、ゲート酸化膜65よりも薄く形成し、その絶縁破壊を容易に行えるようにした。通常のDRAMプロセスで使用されているゲート酸化膜厚の7nmの場合においても、そのゲート破壊耐圧が11V程度

であることから、ゲート酸化膜 6 5 と同様に、前記アンチヒューズ 1 の酸化膜 6 6 の厚さを 7 nm とした場合にも、該アンチヒューズ 1 の p 型基板接続拡散層 5 0 へ $V_{bb'} = -7 \text{ V}$ を印加すれば、同様の絶縁破壊動作が可能である。

5 《フリップチップ型 D R A M》

第 1 2 図には本発明に係る半導体集積回路の別の例であるフリップチップ型の D R A M (以下単にフリップチップ型 D R A M と称する) の D R A M チップが示される。同図に示される D R A M チップ 8 0 においてアンチヒューズ回路は不良ビットの救済に用いられている。

- 10 D R A M チップ 8 0 は、特に制限されないが、半導体基板に 6 4 M ビットのメモリアレー 8 2 を 4 ブロック有し、一対のメモリアレイ 8 2 毎に X デコーダ (ロウデコーダ) 8 3、夫々のメモリブロック 8 2 毎に Y デコーダ (カラムデコーダ) 及びメインアンプ 8 4 などの周辺回路を有する。各々のメモリアレー 8 2 に対応して、基板ゲート容量としてのアンチヒューズ 1 から成るアンチヒューズ回路 8 5 が設けられ、半導体基板の中央部にアンチヒューズ回路 8 5 の電源パッド 8 6、8 7 を配置した。その外側には、 $80 \times 80 \mu\text{m}^2$ のプローブテスト用の金属パッド 8 8 を設け、更に、バンプ電極への再配置配線 (リード配線) を取り出すための $40 \times 40 \mu\text{m}^2$ の金属パッド 8 9 を設けてある。アンチヒューズ回路 8 5 には、第 1 図、第 1 0 図に示されるアンチヒューズ回路を採用することができる。プログラムモードは前述と同様に、モード信号等によって設定する。例えば、D R A M における W C B R (ライトイネーブル信号 W E 及びカラム・アドレス・ストロー部信号 C A S をロウ・アドレス・ストローブ信号 R A S のイネーブルに先立ってイネーブルにする) テストモードとアドレス信号の一部を用いて、前記プログラムモードに入ればよい。
- 25

前記電源パッド 8 6 は、アンチヒューズ 1 の破壊時には破壊電圧 V_{DD} (=

5 V) が印加され、通常動作時には電源電圧 V_{cc} ($= 3.3 \text{ V}$) が印加される電源パッドである。他方の電源パッド 87 は、アンチヒューズ (基板ゲート容量) 1 の破壊時にはその基板電圧 $V_{bb'}$ ($= -5 \text{ V}$) が供給され、通常動作時には接地電位 V_{ss} ($= 0 \text{ V}$) に固定される。

- 5 第 13 図から第 16 図は前記 DRAM チップ 80 を用いてフリップチップ型 DRAM を得るまでの所要の工程におけるチップ平面図を示す。

10 先ず、ウェーハ状の第 12 図の DRAM チップ上に、第 13 図に例示される再配置配線 (リード配線) 90 をパターンニングする。すなわち、第 12 図の DRAM チップ 80 上には、第 3 層アルミニウム配線が形成し、その上部に膜厚 $0.5 \mu\text{m}$ の酸化膜と膜厚 $1 \mu\text{m}$ のプラズマ窒化膜からなるパッシベーション膜を堆積する。その上部に膜厚 $10 \mu\text{m}$ の感光性高分子膜を塗布し、86、87、88、89 で示されるボンディングパッド部の位置に対応させて開口を形成し、第 3 層アルミニウム配線までを露出させる。その後、膜厚 $1 \mu\text{m}$ の銅をスパッタ法により堆積して、第 13 図に示されるように、
15 DRAM チップ上に再配置配線 90 をパターンニングする。

次に、第 14 図に示すように、上記再配置配線 90 上に膜厚 $3 \mu\text{m}$ の樹脂を塗布し、半田バンプ電極が配置される領域と、プローブ検査用のプローブを接触する領域のみにパッド開口穴 91 を形成する。

更に、膜厚 $0.3 \mu\text{m}$ の Cr 膜をスパッタ法により堆積し、パターンニングして、第 15 図に示すように、半田バンプ電極のバリア層 (下地金属層) 92 を形成する。このバリア層 92 は、半田バンプ電極に含まれる錫 (Sn) が銅 (Cu) と反応して金属間化合物を生成するのを阻止するバリア層として機能する。90、90a はパッド開口穴 91 から露出された再配置配線であり、前述の通りプローブ検査用の検査パッドとして利用される。特に 90
20 a は、アンチヒューズ 1 をプログラムするための電圧 V_{DD} 、 $V_{bb'}$ の供給に用いられることになる。
25

最後に、第16図に示すように、前記バリア層92の上に、例えば直径200 μ mの半田バンプ電極93、93aを形成して、フリップチップ型DRAMのウェーハ工程を完了する。半田バンプ電極93aは、アンチヒューズ1のプログラム用電圧VDD、Vbb'の印加端子を、電源電圧Vcc、接地電圧Vssに強制するための電極である。この後、プローブテストと基板ゲート容量（アンチヒューズ）1の破壊による救済及び選別テストが実施され、最後に、ウェーハからチップの切り出しが行われる。切り出されたフリップチップ型DRAMは、実装配線基板上にフェースダウンボンディングされ、充填剤の注入と硬化が行われて、製品が完成する。基板実装されるとき、前記一対の半田バンプ電極は93aは電源電圧Vcc、接地電圧Vssの電源配線に接続される。

第17図には前記フリップチップ型DRAMにおけるアンチヒューズ回路85の主要部の縦断面が示されている。p型シリコン基板10上に、深いn型ウェル領域11が形成され、この深いn型ウェル領域11の内部に浅いp型ウェル領域13が形成されている。また、前記深いn型ウェル領域11の隣には、浅いp型ウェル領域12が形成され、該浅いp型ウェル領域12の表面領域には、素子分離領域14により分離され、DRAMメモリセルのセルトランジスタに使用されているn型低濃度ソース・ドレイン領域95、n型ドレイン領域18、n型ソース領域19、ゲート酸化膜15、及びゲート電極17から成る選択トランジスタ2を備える。前記該浅いp型ウェル領域13の表面領域には素子分離領域4により分離され、ゲート容量酸化膜16、ゲート容量電極17、及びp型基板接続拡散層20から成るアンチヒューズ1を備え、該ゲート容量電極17は該選択トランジスタ2のn型ソース領域19へ接続されている。選択トランジスタ2へn型低濃度ソース・ドレイン領域95を設けたことにより、ソース・ドレイン耐圧を7Vから10Vへ改善することができ、トランジスタの信頼度を向上できる。

《フリップチップ型システムLSI》

第18図には本発明の半導体集積回路の第3の例に係るフリップチップ型システムLSIの機能ブロック図が示される。同図に示されるシステムLSI 101は、特に制限されないが、半導体基板100の周縁にはプローブテスト用の金属パッドや、 bumps 電極への再配置配線（リード配線）を取り出すための金属パッドなどのパッド102が多数配置されている。前記パッド102の領域の内側に、外部入出力回路103、アナログ入出力回路104が設けられている。外部入出力回路103及びアナログ入出力回路104は3.3Vのような相対的にレベルの高い外部電源を動作電源とする。レベルシフタ105は前記外部電源を1.8Vのような内部電源電圧に降圧する。レベルシフタ105の内側には、ダイナミック・ランダム・アクセス・メモリ（DRAM）106、中央処理装置（CPU）107、キャッシュメモリ（CACH）108、ロジック回路（LOG）109、フェーズ・ロックド・ループ回路（PLL）110、アナログ・ディジタル変換回路（ADC）111、及びディジタル・アナログ変換回路（DAC）112を有する。113はアンチヒューズ回路であり、DRAM106の欠陥救済に利用される。前記DRAM106、CPU107、LOG109、CACH108はレベルシフタ105から供給される1.8Vのような内部電源電圧を動作電源として動作される。但し、DRAM106は内部電源電圧を昇圧してワード線選択レベルを形成し、ワードドライバなどの動作電源に用いる。

第18図において、参照符号114、115で示されるものは前記アンチヒューズ回路113に専用化された電源パッドである。電源パッド114は、アンチヒューズ1の破壊時には破壊電圧 V_{DD} （=5V）が、通常動作時には電源電圧 V_{cc} （=3.3V）が印加される電源パッドである。他方の電源パッド115は、アンチヒューズ（基板ゲート容量）1の破壊時には基板電圧 $V_{bb'}$ （=-5V）が供給され、通常動作時には接地電位 V_{ss} （=

0 V) に固定される。

第 19 図には第 18 図におけるアンチヒューズ回路とロジック回路及び外部入出力回路のデバイス構造の縦断面が例示されている。

抵抗率 $10 \Omega \text{ cm}$ の p 型シリコン基板 120 上に、深さ $2 \mu\text{m}$ の深い n 型ウェル領域 121、深さ $1 \mu\text{m}$ の浅い n 型ウェル領域 124、深さ $0.8 \mu\text{m}$ の浅い p 型ウェル領域 122 及び 123 が配置されている。前記浅い p 型ウェル領域 123 内には、膜厚 4 nm の薄いゲート酸化膜 127、p 型基板接続拡散層 130、及び膜厚 $0.2 \mu\text{m}$ の n 型ポリシリコン膜からなるゲート長 $0.3 \mu\text{m}$ のゲート電極 128 から基板ゲート容量 (アンチヒューズ) 1 が構成されている。前記浅い n 型ウェル領域 124 内には膜厚 $0.3 \mu\text{m}$ の素子分離領域 125 で分離され、p 型ドレイン領域 135、p 型ソース領域 134、膜厚 8 nm の厚いゲート酸化膜 126、及び膜厚 $0.2 \mu\text{m}$ の p 型ポリシリコン膜からなるゲート長 $1 \mu\text{m}$ のゲート電極 129 によって選択トランジスタ 2 が形成されている。前記基板ゲート容量 1 のゲート電極 128 と選択トランジスタ 2 の p 型ソース領域 134 はタングステン (W) を埋め込んだコンタクトプラグ 142 と第 1 層金属配線 143 で接続されている。

前記浅い p 型ウェル領域 122 内には、素子分離領域 125 で分離され、n 型ドレイン領域 137、n 型ソース領域 136、膜厚 4 nm の薄いゲート酸化膜 127、及び膜厚 $0.2 \mu\text{m}$ の n 型ポリシリコン膜からなるゲート長 $0.2 \mu\text{m}$ のゲート電極 130 によって、電源電圧 1.8 V 動作の n チャンネル型トランジスタ 4 が形成されている。

また、前記浅い p 型ウェル領域 122 内には、素子分離領域 125 で分離され、n 型ドレイン領域 139、n 型ソース領域 138、膜厚 8 nm の厚いゲート酸化膜 126、及び膜厚 $0.2 \mu\text{m}$ の n 型ポリシリコン膜からなるゲート長 $0.4 \mu\text{m}$ のゲート電極 131 によって、電源電圧 3.3 V 動作の n チャンネル型トランジスタ 5 が形成されている。

前記トランジスタ 4, 5 の上部に自己整合コンタクト形成のため、CVD 法により堆積した膜厚 100 nm のシリコン窒化膜 140 を配置し、CMP 法により平坦化された膜厚 1 μ m のコンタクト層間膜 141 の所望の位置に設けられたコンタクトプラグ 142 と膜厚 0.5 μ m のアルミニウム膜からなる第 1 金属配線 143、CMP 法により平坦化された膜厚 1 μ m の第 1 層間膜 144 の所望の位置に設けられた第 1 層間プラグ 145 と膜厚 0.5 μ m のアルミニウム膜からなる第 2 層金属配線 146、CMP 法により平坦化された膜厚 1 μ m の第 2 層間膜 147 の所望の位置に設けられた第 2 層間プラグ 148 と膜厚 0.5 μ m のアルミニウム膜からなる第 3 層金属配線 149、膜厚 0.8 μ m の第 3 層間膜 150 の所望の位置に設けられた第 3 層間プラグ 151 と膜厚 1 μ m のアルミニウム膜からなる第 4 層金属配線 152、膜厚 0.8 μ m の第 4 層間膜 153、そして、膜厚 1 μ m のアルミニウム膜からなる第 5 層金属配線 154 が配置されている。

前記システム LSI 101 は、前述のように、MIS トランジスタのゲート酸化膜厚は 2 種類に分類される。MIS トランジスタの動作電圧に対してある程度の耐圧（ゲート酸化膜の破壊に対する耐圧）を確保する必要がある回路、例えば、外部入出力回路 103、アナログ入出力回路 104、DRAM 106、ADC 111 及び DAC 112 は、特に制限されないが、0.2 μ m プロセス技術を用いた場合、ゲート長 0.4 μ m でゲート酸化膜厚 8 nm の MIS トランジスタを有する。これに対して、降圧された比較的低い内部電圧を動作電源とする回路、即ち、ロジック回路 109、キャッシュメモリ 108、CPU 107 は、ゲート長 0.2 μ m でゲート酸化膜厚 4 nm の MIS トランジスタで構成される。レベルシフト回路 105 は、特に制限されないが、双方のゲート酸化膜厚の MIS トランジスタを有している。前記アンチヒューズ 1 は 4 nm のゲート酸化膜が利用され、絶縁破壊のために過渡にレベルの高い電圧を利用しなくても済むように考慮されている。

《DRAMの救済回路》

前記第18図のシステムLSIにおけるDRAMの不良ビット救済の為の具体的な回路構成の一例を説明する。

第20図には前記DRAM106の一例が示される。前記DRAM106はCPU107のワークメモリ又はメインメモリとして利用されるところの比較的大容量のリードライト可能なメモリである。前記DRAM106は、システムの大規模化に応じて例えば数ギガ・ビットのような大容量を有する。DRAM106のメモリセルアレイ106MAは、正規のワード線WLd__0~WLd__Ndの他に冗長ワード線WLdRを有する。正規のワード線WLd__0~WLd__Ndには正規のダイナミック型メモリセルの選択端子が結合され、冗長ワード線WLdRには冗長用のダイナミック型メモリセルの選択端子が結合されている。メモリセルのデータ入出力端子はビット線BLd__0~BLd__Mdに結合されている。特に図示はしないが、ビット線BLd__0~BLd__Mdはセンスアンプを中心に折り返された折り返しビット線構造を有している。前記ビット線BLd__0~BLd__MdはYセクタYSd__0~YSd__Mdを介してコモンデータ線106CDに共通接続される。

前記ワード線WLd__0~WLd__Ndと冗長ワード線WLdRはXデコーダ106XDによって一本が選択される。YセクタYSd__0~YSd__MdはYデコーダ106YDのデコード出力によって一つがオン状態にされる。第20図において、メモリセルアレイ106MA及びYセクタYSd__0~YSd__Mdは紙面の表裏方向にN組設けられていると理解されたい。したがって、Xデコーダ106XD及びYデコーダ106YDによる選択動作が行われると、コモンデータ線106CDにはNビット単位でデータの入出力が行なわれることになる。書き込みデータはデータバスDBUSからデータバッファ106DBに供給され、入力データに従ってメインアンプ

106MAがコモンデータ線106CDを介してビット線をドライブする。データ読み出し動作ではビット線からコモンデータ線106CDに伝達された読み出しデータをメインアンプ106MAで増幅し、これをデータバッファ106DBからデータバスDBUSに出力する。

- 5 正規のワード線WLd₀～WLd_{Nd}の内のどのワード線を冗長ワード線WLdRの選択に置き換えるかは、救済アドレス記憶回路160に格納されている救済情報によって決定される。詳細は後述するが救済アドレス記憶回路160は救済アドレスの記憶に必要なビット数分の前記アンチヒューズ回路113を有する。
- 10 前記救済アドレス記憶回路160に格納されている救済情報は、アドレス比較回路161に供給される。前記救済アドレス記憶回路160から出力される救済情報が有効であるとき、その救済情報はアドレス比較回路161によって前記アドレスバッファ106ABからのロウアドレス信号と比較される。比較結果が一致のとき、検出信号HITBが論理値“0”（ローレベル）
- 15 にされ、それ以外は論理値“1”（ハイレベル）にされる。前記Xデコーダ106XD及びYデコーダ106YDは、アドレスバスABUSのアドレス信号がアドレスバッファ106ABを介して供給され、供給されたアドレス信号をデコードする。特にXデコーダ106XDは、アドレス比較回路161から供給される検出信号HITBが不一致を意味する論理値“1”のときはアドレスバッファ106ABからのロウアドレス信号をデコードするが、
- 20 検出信号HITBが一致を意味する論理値“0”のときにはアドレスバッファ106ABからのロウアドレス信号のデコードが禁止され、代わりに冗長ワード線WLdRを選択する。これにより、不良のワード線に係るメモリアクセスは冗長ワード線WLdRに係る冗長用のメモリセルの選択動作に代え
- 25 られる。

DRAM106の内部タイミング制御はタイミングコントローラ106T

Cが行う。タイミングコントローラ106TCにはコントロールバスCBUSを介してCPU107からリード信号及びライト信号等のストロブ信号が供給されると共に、アドレスバスABUSからメモリ選択信号とみなされる複数ビットのアドレス信号が供給される。タイミングコントローラ106CTによってDRAM106の動作選択が検出されると、Xデコーダ106XD等の回路が活性化され、リード信号によって読み出し動作が指示されているときは、メモリセルアレイ106MAで選択されたメモリセルの記憶情報がメインアンプ106MAやデータバッファ106DBを介してデータバスDBUSに出力され、ライト信号によって書き込み動作が指示されているときは、メモリセルアレイ106MAで選択されたメモリセルに、データバッファ106DB及びメインアンプ106MAを介して入力されたデータが書き込まれる。

第21図には救済アドレス記憶回路160に用いられる1ビット分の前記アンチヒューズ回路113の一例が示される。アンチヒューズ回路113は検出部113Aとアンチヒューズ設定部113Bとを有する。前記基板ゲート容量のようなアンチヒューズ1の一方の容量電極は前記電源パッド115に接続する端子CGNDに、他方の容量電極はpチャネル型トランジスタT5を介してノードVSENに結合される。端子CGNDには、アンチヒューズ1の絶縁破壊時に-5V、通常動作時は0Vが印加される。前記トランジスタT5のゲートは接地電圧VSSに結合され、アンチヒューズ1の絶縁破壊動作時に端子CGNDに印加される負電圧がノードVSEN側に伝達されるのを阻止する。

前記ノードVSENには、pチャネル型トランジスタT6を介して前記電圧VDDが印加され、また、pチャネル型トランジスタT7、T8の直列回路を介して前記電圧VDDが印加される。トランジスタT6はリセット信号RSTBのローレベル（リセット指示レベル）によってオン動作され、トラ

ンジスタ T 7 はアンチヒューズ 1 の選択信号 A i B のローレベル（選択レベル）によってオン動作される。前記トランジスタ T 8 は検出部 1 1 3 A の検出信号 F A i が帰還されてスイッチ制御される。

前記検出部 1 1 3 A は、前記ノード V S E N に p チャネル型トランジスタ T 4 , T 3 が直列接続され、前記トランジスタ T 3 は、並列形態に接続された一対の p チャネル型トランジスタ T 1 , T 2 を介して端子 V D C に接続されている。この端子 V D C は前記電源パッド 1 1 4 に接続されている。前記トランジスタ T 1 のゲート電極には D R A M のアクセス動作時にハイレベルにされる内部制御信号が供給され、前記トランジスタ T 2 のゲート電極はインバータ I N V 1 を介して前記トランジスタ T 3 のドレインに帰還結合されている。

前記トランジスタ T 4 は n チャネル型トランジスタであってもいいが、その駆動能力 (W/Lg) をトランジスタ T 3 より大とし、前記インバータ I N V 1 の入力レベルを調節する。

第 2 1 図のアンチヒューズ 1 を絶縁破壊する場合、前記端子 V D C は 5 V のような破壊電圧 V D D、端子 C G N D は - 5 V のような負の基板バイアス電圧 V b b' にされる。動作の最初にリセット信号 R S T B が一旦ローレベルにされ、ノード V S E N が電圧 V D D に初期化される。そして、前記信号 T R A S はハイレベル、前記信号 A i B はローレベルにされ、これによって、最初、インバータ I N V 1 の出力はローレベルにされる。この状態で、ノード V S E N には、トランジスタ T 7 , T 8 を介して破壊電圧 V D D が供給されて、アンチヒューズ 1 の一つの容量電極には大凡 1 0 V の電位差が形成され、絶縁破壊される。絶縁破壊されたアンチヒューズ 1 は高抵抗状態から低抵抗状態に変化され、ノード V S E N の電圧は低くされる。これをインバータ I N V 1 が検出し、トランジスタ T 8 をカットオフして、アンチヒューズ 1 に対する高圧印加状態が自動停止される。

DRAMのアクセス動作では、端子VDCは3.3V、端子CGNDは0Vにされ、前記信号RSTB、AiBは共にハイレベルを保ち、これに代えて、前記信号TRASがローレベルにされる。アンチヒューズ1が絶縁破壊
5 されていれば検出信号FAiはハイレベルにされ、アンチヒューズ1が絶縁破壊されていなければ検出信号FAiはローレベルにされる。

第22図には前記アンチヒューズ回路113を用いた救済アドレス記憶回路160の一例として、一つの救済アドレスを記憶する回路構成が例示されている。アンチヒューズ回路113の構成は図示を簡略化している。例えば
10 n+1個のアンチヒューズ回路113が設けられ、夫々のアンチヒューズ回路113には、前記信号TRAS、リセット信号RSTBが共通に供給さて、各アンチヒューズ1の一方の容量電極は前記端子CGNDに共通に接続されている。また、夫々のアンチヒューズ回路113には、n+1ビットのプログラムアドレス信号A0B~AnBがビット対応で個別に供給され、n+1
15 ビットの信号FA0~FAnをビット対応で出力する。プログラムアドレス信号A0B~AnBの各ビットは前記選択信号AiBに対応される。このプログラムアドレス信号A0B~AnBは、救済すべきアドレス（不良アドレス）を示すアドレス信号A0~Anの各ビットのレベル反転信号になっている。プログラムアドレス信号は、アンチヒューズ回路113のプログラムモードにおいて外部アドレス入力端子から供給される。

20 第22図においてnチャンネル型トランジスタT9、T10及びpチャンネル型トランジスタT11から成る回路は、多数のアンチヒューズ回路113に共通な端子CGNDにヒューズプログラム時は外部より負電圧（例えば-5V）を印加可能とし、通常動作時は端子CGNDの接続ラインに自ら接地電圧VSSを印加する回路である。すなわち、トランジスタT11は、トラン
25 ジスタT9を通常オン状態にしておくための電圧VDDレベルをトランジスタT9のゲート電極に印加するためのMISトランジスタである。トランジ

スタT11は、 L_g （ゲート長）が大きく、内部抵抗の大きなMISトランジスタである。端子CGNDが負に下がるとトランジスタT10がオン状態にされ、トランジスタT9のゲート電圧を端子CGNDの負電圧に近い負の電圧とし、トランジスタT9をオフ状態にする。これにより、通常動作時は
5 トランジスタT9のオン状態によって端子CGNDの電源ラインに接地電圧VSSを供給し、アンチヒューズ1のプログラム時は接地電圧VSSから端子CGNDの負電圧への電流の逆流を防ぐ。

第21図及び第22図の回路に従えば、アンチヒューズ1のプログラム動作において、プログラムアドレス信号A0B～AnBのうち、ローレベルの
10 ビットに対応するアンチヒューズ回路113のアンチヒューズ1が絶縁破壊される。このプログラム状態に応答して出力される信号FA0～FAnは、目的とする救済すべきアドレス信号になる。

第23図はアンチヒューズ1を絶縁破壊するときのタイミングチャート、第24図は検出信号FAiを読み出す動作のタイミングチャートである。

第23図において、アンチヒューズ1の絶縁破壊は、アドレス指定信号AiBのローレベルによって選択され、ノードVSENに電圧VDDが印加され、端子CGNDに負電圧が印加されて、行なわれる。トランジスタT5はpチャネル型のMISトランジスタなので、ノードVSENの電圧VDDのレベルをレベル損失なしにアンチヒューズ1の上側端子（ノードVSEN）
15 に印加することができる。プログラムアドレス信号AiBがハイレベルにされるプログラム非選択アンチヒューズ1では、VDDからVSENを介してCGNDに至る電流パスがないため、アンチヒューズ1は破壊されない。アンチヒューズ1が破壊されると、ショート状態などの低抵抗状態となり、アンチヒューズ1の上側端子まで負となるが、トランジスタT5によりノードVSENは、VSS（接地電圧）+Vthp（pチャネル型MISトランジスタの閾値電圧）以下には下がらない。トランジスタT4はpチャネル型M
20
25

- I S トランジスタであっても、nチャネル型M I S トランジスタでもよいが、ノードV S E Nのレベル低下をインバータI N V 1の入力に伝えて検出信号F A iをローレベルからハイレベルに変化させることができればよい。したがってV D DからV S E Nを介してC G N Dに至る電流パスがなくなり、まだ破壊されていない別のアンチヒューズ1の破壊に向かう。ここでトランジスタT 5には端子C G N Dの負電圧がゲート・ソース間やソース・N W E L L (n型ウェル領域)間にかかるが、接地電圧V S Sを基準とした絶対値電圧は、正側高電圧だけを用いる場合に比べて、小さくて済むから、トランジスタT 5のp n接合が破壊されることはない。
- 10 アンチヒューズ1の読み出しは、信号A i Bがハイレベル、信号T R A Sがローレベルにされることにより行なわれる。アンチヒューズ1が破壊されているときの読み出しでは、電圧V D DからトランジスタT 1, T 3, T 4, T 5とアンチヒューズ1を経て端子C G N D (= 0 V) に電流が流れ、ノードV S E Nがローレベルになり、インバータI N V 1から出力される信号F
- 15 A iがハイレベルとなる。一方、非破壊状態のアンチヒューズ1に対する読み出しでは、ノードV S E Nは電圧V D Dより下がらず、検出信号F A iはハイレベルを維持する。トランジスタT 4はpチャネル型M I S トランジスタであってもnチャネル型M I S トランジスタであってもよいが、その駆動能力をトランジスタT 3よりも大きくし、ノードV S E NのレベルによりインバータI N V 1の入力を確実に決定できるようにする。トランジスタT 4は検出部1 1 3 Aとヒューズ設定部1 1 3 Bの動作分離用に設けられており、検出信号F A iを用いる後段の回路構成によっては削除することも可能である。

- 25 第2 5図には第2 2図におけるトランジスタT 5, アンチヒューズ1及びトランジスタT 9のデバイス断面が例示されている。

第2 5図において、1 7 0はp型半導体基板 (P - S u b (V S S))、

171は深いn型ウェル領域(DW(VDD))、172、173は浅いn型ウェル領域(NW(VSS))、174、175は浅いp型ウェル領域(PW)である。

5 第25図の構造では深いn型ウェル領域171によるトリプルウェル構造を用いてアンチヒューズ1のp型ウェル領域174を負電位に引き下げることができる。nチャネル型MISトランジスタT9も同じp型ウェル領域171に形成されている。トリプルウェル構造は、本来メモリアレーと周辺回路のnチャネル型MISトランジスタのウェル電圧とを夫々独立に最適な電圧に設定できるようにすると共に、メモリアレーの耐ノイズ性を高めるために、DRAMで多用される構造である。通常周辺回路用のnチャネル型MISトランジスタは半導体基板170上のp型ウェル領域175に設け、そのウェル電位を接地電圧VSSとしている。

15 第25図においてアンチヒューズ1の絶縁膜は薄くしてあるが、アンチヒューズ1を破壊しやすくするため米国特許第5324681号公報の記載と同様のDRAMメモリセル構造を採用してもよい。特にタンタルオキサイド(Ta_2O_5)を用いた場合は耐圧が非対称であり、端子CGNDに負電圧を加えた方が耐圧が低く、第21図の構成には好都合である。またアンチヒューズ1にはメモリセルを用いる以外に、2種類の膜厚(例えば $t_{OX}=4\text{ nm}$ あるいは 8 nm)のゲートプロセスで薄い方のゲート酸化膜をゲート酸化膜として用いることができる。

20 第26図には前記アドレス比較回路161の一例が示される。アドレス比較回路161は、アクセスアドレス信号A0~A9の各ビットを、前記検出信号FA0~FA9の対応ビットの論理値に応じて反転又は非反転で伝達するセレクトユニット162を有する。A0、FA0を入力するセレクトユニット162は、検出信号FA0がハイレベル(アンチヒューズ1の絶縁破壊状態)のときアドレスビットA0の反転レベルを出力し、検出信号FA0が

ローレベル（アンチヒューズ1の非絶縁破壊状態）のときアドレスビットA
0の非反転レベルを出力する。その他のセクタユニット162も同様に構
成されている。アンチヒューズ1の破壊は対応するプログラムアドレスA_i
Bがローレベルのとき行なわれる。この状態において検出信号F Aはハイレ
5 ベルであるから、プログラムアドレスA₀B～A₉Bの各ビットの反転信号
に等しいアクセスアドレス信号A₀～A₉が入力されると、全てのセクタ
ユニット162の出力は全ビットローレベル（論理値“0”）にされる。プ
ログラムアドレスA₀B～A₉Bの各ビットの反転信号とアクセスアドレス
信号A₀～A₉とが1ビットでも違えば、何れかのセクタユニット162
10 の出力はハイレベル（論理値“1”）にされる。この状態を検出する為に
アゲート163及びナンドゲート164が設けられている。1つのノアゲー
ト163には救済イネーブル信号F E Bも供給さる。この救済イネーブル信
号F E Bは、不良ビットの救済が施されている場合にローレベルにされる信
号であり、その信号源には、第21図に例示されたような一つのアンチヒ
15 ューズ回路が割り当てられる。前記ナンドゲート164から出力される検出信
号H I T Bは、アクセスアドレスが不良アドレスに一致するときローレベル、
不一致のときハイレベルにされる。救済の為のアンチヒューズ1のプログラ
ムは、システムL S Iにプログラムモードを設定して、テスト工程の一環と
して行う。前記プログラムモードの設定は、例えばモード端子を介して行う
20 事が出来る。

第20図の説明ではワード線救済を一例としたが、ビット救済、或いは双
方の救済を行うようにしても良い。ここでは不良アドレスをプログラムする
為のアンチヒューズセットを1組設けた場合を説明したが、複数のアンチヒ
ューズセットを持てば複数の不良アドレスに対応できることは言うまでもな
25 い。

《アンチヒューズによるモード設定》

前記アンチヒューズ回路を機能設定に用いる例とし、ボンディングオプションに代えてモード設定を可能にする構成について説明する。

最初にボンディングオプションの例として、第12図に示すようなDRAMにおけるバンク数とデータの並列入出力ビット数の選択について説明する。

- 5 第27図に示されるボンディングオプションの説明図では、3個のオプションパッドBOPIN0B、BOPIN1B、BOPIN2Bをフローティングにするか接地電圧VSSに接続するかに応じて、DRAMの動作モードが決定される。オプションパッドBOPIN0Bの状態は入力保護回路及び初段入力回路170を経て2バンクイネーブル信号BANK2Bにされる。信号BANK2Bはハイレベルによって2バンク(2Bank)を意味し、ローレベルによって4バンク(4Bank)を意味する。入力保護回路及び初段入力回路170は第28図に例示される通りであり、入力BOPINiBがローレベル(接地電圧)であれば出力BOiBもローレベル、入力BOPINiBがフローティングであれば出力BOiBはハイレベルにされる。
- 10 オプションパッドBOPIN1B、BOPIN2Bの状態は入力保護回路及び初段入力回路171、172を経てボンディングオプション判定回路173に供給され、入力の状態に応じて、データの並列入出力ビット数を示す信号BPX4、BPX8、BPX16の状態が決定される。入力保護回路及び初段入力回路171、172は第28図に例示された論路を有する。ボンディングオプション判定回路173は第29図の論理構成を有する。この論理に依れば、入力BO1Bがハイレベルであれば入力BO2Bとは無関係に信号BPX8がハイレベルにされ、入力BO1Bがローレベルであれば入力BO1Bとは無関係に信号BPX8及びBPX16がハイレベルにされる。
- 15
- 20

- 25 上記ボンディングオプションで設定可能な動作モードを整理すると、第30図の通りである。このように、DRAMで3つのオプションパッドの状態に従って、6つのケース、すなわちバンク数2又は4、並列入出力ビット数

4ビット、8ビット又は16ビットの組合せが選択可能にされる。このボンディングオプションはウェーハ工程完了後の組み立て工程におけるボンディング工程で実施される。このようにして得られた内部信号BANK 2B、BPX 4、BPX 8、BPX 16は図示を省略する後段回路に送られ、アドレスバッファやプリデコーダの制御、メインアンプの制御、出力バッファの制御などに用いられる。

第31図には前記アンチヒューズ回路を用いてボンディングオプションと同等の機能選択を可能にする構成が例示されている。前記フリップチップ型半導体集積回路では、チップの組み立て時にボンディング工程がないので、上記ボンディングオプション方式で機能選択を行う事はできない。従来のレーザーヒューズも使えない。第31図の構成は、それらの点を考慮したものであり、アンチヒューズ回路AF 0～AF 2を適用し、ウェーハプロセスが完了してバンプ電極が形成された後でも、電氣的にアンチヒューズ回路AF 0～AF 2のプログラム設定で機能選択を行えるようにしたものである。第31図に示されるアンチヒューズ回路AF 0～AF 2には例えば前記第21図のアンチヒューズ回路を利用できる。前記アンチヒューズ回路AF 0～AF 2のプログラムはテストモードで行う。即ち、最初に、アンチヒューズ設定モードに入る。例えばDRAMにおけるWCBR（ライトイネーブル信号WE及びカラム・アドレス・ストロー部信号CASをロウ・アドレス・ストローブ信号RASのイネーブルに先立ってイネーブルにする）テストモードとアドレス信号の一部を用いて、テストモードの1つとしてこの動作モードに入ればよい。前記端子VDCに破壊電圧VDDを印加し、端子CGNDに負電圧Vbb'を印加する。絶縁破壊対象ヒューズを指定するためのプログラムアドレスは外部アドレス入力端子から通常のアドレス信号として供給する。前記アンチヒューズAF 0～AF 2によって設定可能な動作モードは第32図に示される通りであり、設定可能な機能は第30図に対応する。

尚、ここで説明した機能選択は、D R A Mにおける並列データ入出力ビット数の構成、バンク数の切り換えの例であった。その他に、標準のD R A Mにおいても、ファストページ、E D Oモード (Extended Data Out Page Mode)、スタティックカラムなどの動作モード切り換えがボンディングオプションを用いて行われているが、これらの切り換えも前述と同様に、アンチヒューズプログラミングにより容易に実施することができる。

《アンチヒューズによるトリミング》

次に、アンチヒューズを内部電圧のトリミング修正に利用する場合について説明する。D R A Mのチップ内で電圧V P E R Iを生成する場合、そのレベルはプロセスばらつきの影響を受けて変動する。プローブ検査でその電圧V P E R Iを測定し、許容範囲外ならば、それを修正する為にトリミング回路が利用される。そのトリミング設定に、前記アンチヒューズ回路を用いることができる。

第33図にはトリミング設定回路の一例が示される。3個のアンチヒューズ回路A F 1 0 ~ A F 1 2を有し、各回路から出力される信号は3ビットの相補信号F T 1, F T B 1 ~ F T 3, F T B 3としてトリミングデコーダ180に供給される。前記アンチヒューズ回路A F 1 0 ~ A F 1 2には第21図のアンチヒューズ回路などを利用することができる。A i B ~ A k Bは3ビットのプログラムアドレス信号を意味する。前記トリミングデコーダ180はその3ビットの相補信号をデコードして、8本の選択信号T R M 0 ~ T R M 7の内の1本を選択レベルにする。デコーダ180の論理は第34図に例示されている。前記選択信号T R M 0 ~ T R M 7は抵抗分圧回路183の分圧電圧の選択信号とされる。即ち、基準電圧発生回路181で生成された基準電圧を複数個の抵抗R 1の直列回路によって抵抗分圧し、その分圧電圧をnチャンネル型の選択M I SトランジスタM 1 ~ M 7で選択するようになっている。前記選択信号T R M 0 ~ T R M 7は前記選択M I Sトランジスタ

M0～M7のゲート制御信号とされる。選択MISトランジスタM0～M7で選択された電圧は参照電圧VREFとしてオペアンプ182の反転入力端子に供給される。オペアンプ182の出力は電源端子Vccに接続されたpチャンネル型出力トランジスタM8のゲート電極に結合される。前記出力トランジスタM8のドレイン電位が電圧VPERIとされ、その分圧電圧がオペアンプ182の非反転入力端子への帰還電圧とされる。前記電圧VPERIは、帰還電圧の抵抗分圧状態に応じて、前記参照電圧VREFの2倍～数倍のレベルを発生する。前記選択MISトランジスタM1～M7の内、第33図の上側のMISトランジスタがオン状態にされると、相対的にレベルの高い参照電圧VREFが得られ、逆に第33図の下側のMISトランジスタがオン状態にされると、相対的にレベルの低い参照電圧VREFが得られる。通常は、アンチヒューズ回路AF10～AF11のヒューズをまったくプログラムしない状態では選択MISトランジスタM4を介して中央のレベルが得られるようにしている。

上記のような電圧レギュレータのトリミング回路はADCなどの回路にも適用することができる。また、トリミング回路は、電圧レギュレータに限定されず、抵抗素子や容量素子を用いた遅延時間修正のための回路等にも利用することができる。

《フリップチップ型半導体集積回路の検査パッド》

次に、フリップチップ型半導体集積回路の検査パッドについて説明する。

ここで、フリップチップ型とは、半導体チップの素子形成面（回路形成面）側を実装すべき実装基板と対向させて配置し、素子形成面に形成された電極と実装基板の電極とを互いに接続する実装技術の形態である。

まず、ここで一例として挙げるフリップチップ型DRAMの平面図を第35図に示す。同図に示されるように、フリップチップ型DRAM210のチップの中央部には長手方向に沿って多数の検査パッド209が配列され、そ

の外側には多数のバンプ電極208がエリアアレイ状に配置されている。

第36図は第35図の一部分を拡大し、表面の絶縁層を除去して再配置配線の引き回しが見えるように示した平面図である。即ち、検査パッドとバンプ電極との接続状態が示されている。前記検査パッド209は、再配置配線205を介してバンプ電極208に接続されているもの209aと、バンプ電極には接続されていないもの209bとに大別される。一方の検査パッド209aは、第36図には図示されていないボンディングパッド(202)のうちの電源供給または信号入出力用ボンディングパッド(202a)に接続され、更に当該ボンディングパッド(202a)から再配置配線205が引き出されてバンプ電極208に接続されている。他方の検査パッド209bは、フリップチップ型DRAM210の最終使用段階では使用されず且つプローブ検査段階等で使用する図示されていないボンディングパッド(202b)に接続され、当該ボンディングパッド(202b)はバンプ電極208には接続されていない。

第37図～第43図は第35図のフリップチップ型DRAMの製造方法を示す断面図であり、電源または信号入出力用ボンディングパッド202aからバンプ電極208までの再配置配線205に沿った断面構造と、プローブ検査専用ボンディングパッド202b部分の断面構造とを、各製造段階を追って示す。

第37図は半導体基板に多数の回路素子が形成されたDRAMチップ201表面にボンディングパッド202(202a及び202b)を形成し、ボンディングパッド202の開口部を除いて、保護層203で覆った状態の、ウェーハ断面を示している。これに示されるものは、従来のワイヤボンディング接続用ウェーハの完成段階に相当する。

上記ウェーハの表面に、先ず第38図のように下部絶縁層204を形成し、そこには、ボンディングパッド202(202a及び202b)の部分を開

口させる。

次に第39図のように、ボンディングパッド202aからバンパ電極を形成すべき位置まで再配置配線205を形成すると同時に、検査専用パッド202bについても再配置配線層295を形成する。

- 5 そして、第40図に示すように、表面絶縁層206を形成し、再配置配線層205、295のボンディングパッド202(202a及び202b)直上部及びバンパ電極の形成部位分を露出させる。

- 10 更に第41図に示されるように、バンパ電極形成部にバンパ電極下地金属207を形成すると共に、ボンディングパッド202(202a及び202b)の上部にもバンパ電極下地金属層297を同時に形成する。

上記のようにして形成したボンディングパッド202(202a及び202b)直上部のバンパ電極下地金属層297が、電源または信号入出力用ボンディングパッド202aに対応した検査パッド209a及び検査専用ボンディングパッド202bに対応した検査パッド209bとなる。

- 15 次に第42図に示すように検査パッド209a、209bにプローブ211の先端を接触させてプローブ検査を行い、回路の冗長性を利用した不良品の救済や機能の選択、そして良品と不良品の選別等を実施する。

- 20 次に第43図に示すようにバンパ電極下地金属207上に半田でバンパ電極208を形成し、完成したウェーハを個々のチップに切断分離(ダイシング)することによってフリップチップ型DRAMが得られる。

ボンディングパッド202若しくはその表面の材料には通常アルミニウムまたはアルミニウム合金が使用されるが、半導体素子内部の配線材料の種類によっては、銅や他の金属を用いても良い。

- 25 保護層203の材質はシリコン酸化膜やシリコン窒化膜などの無機膜のほか、ポリイミドのような有機膜、及びこれらの組合せが用いられる。

下部絶縁層204の材質は、基板実装後に半導体装置と実装基板の熱膨張

差などによってバンプ電極 208 に作用する応力（応力・歪み状態）を緩和すると共に再配置配線 205 のキャパシタンスを低減するため、ポリイミドやフッ素系樹脂、各種エラストマ材料のような低弾性率（低弾性係数）かつ低誘電率の有機材料が望ましい。ここで、エラストマ材料としては、シリコン系、アクリル系などのゴム材料や、これらゴム材料を配合した低弾性率の高分子材料などが挙げられる。

下部絶縁層 204 はワニスのスピンコートや印刷、あるいはフィルムの貼り付けによって形成する。下部絶縁層 204 の厚さは応力及びキャパシタンス低減の観点から 3 μm 程度以上あることが望ましい。ただし、保護層 203 に有機膜が用いられている場合は、下部絶縁層 204 をこれより薄くするか、または省略することもできる。

前記再配置配線 205 には例えば、厚さ 1 ～ 5 μm 程度の銅または銅合金の上下に厚さ 0.1 ～ 0.5 μm 程度のクロム、チタン、ニッケル、ニッケル合金等を積層した 3 層配線構造を使用する。またアルミニウム及びその合金を使用することもできる。

前記表面絶縁層 206 の材質は、バンプ電極 208 に作用する応力を緩和するため、ポリイミドやエポキシ、フッ素樹脂、更には各種エラストマ材料のような、低弾性率の有機材料が望ましい。

また、前記再配置配線の下側絶縁膜（更なる絶縁膜）は、バンプ電極にかかる応力吸収のため柔らかいものがよく、上側絶縁膜 206 は、保護の観点から下側絶縁膜 204 よりも比較的硬い材料を選択してもよい。具体的には、上側絶縁膜 206 及び下側絶縁膜 204 は、感光性ポリイミド樹脂膜で形成され、熱処理（キュア）前の溶剂量、分子量、フィラーの含有量などを変化させることによって、最終的な膜の硬さ（弾性率）を変化させることが可能である。また、上下絶縁膜を異なる材料で形成してもよい。この場合、例えば、上側絶縁膜 206 をエポキシ系樹脂で形成し、下側絶縁膜 204 をポリ

イミド系樹脂で形成することが考えられる。

- 前記バンブ電極下地金属 207 としては、クロム、ニッケル、ニッケル・タングステン、ニッケル・銅等の半田バリア性の高い金属を厚さ 0.3 ~ 3 μm 程度形成することが望ましく、さらに半田の濡れ性及びプローブとの電
- 5 氣的接続性を確保するため、表面に厚さ 0.1 μm 程度の金の薄膜層を形成しておくことが望ましい。

前記半田バンブ電極 208 は、半田バンブ電極下地金属 207 上に半田ペーストを印刷するか、又は予め一定寸法に成形済みの半田ボールを転写した後、リフローさせることによって形成することができる。

- 10 上記のように電源、信号入出力用ボンディングパッド 202a、プローブ検査用ボンディングパッド 202b の両方の直上部に検査パッド 209 を設けることによって、再配置配線工程後にプローブ検査を実施することが可能となるので、再配置配線工程前のボンディングパッド 202 の損傷による接続信頼性の低下を防止することができる。

- 15 また、形成済みの半田バンブ電極 208 にプローブ 211 を当てないで検査を行うため、半田バンブ電極 208 の変形が防止できると共に、半田バンブ電極 208 の曲面への偏心したプローブ当てによるプローブ 211 の損傷も防止することができる。

- 更に、半田バンブ電極 208 形成前の半田バンブ下地金属 207 にプローブ 211 を当てる必要もないため、半田バンブ下地金属 207 の表面に形成した金などの半田濡れ性向上のための層や、その下の半田バリア金属層を傷
- 20 付ける虞もなくなり、半田との接続信頼性低下を防止することができる。

- 更に、この例によれば、第 36 図のように検査パッド 209 が一列に配置されているため、第 42 図に示したようにプローブ 211 に安価なカンチレバー方式のプローブを使用できる上、再配置配線を施さない通常のワイヤボン
- 25 ディング用ウェーハのボンディングパッド 202 とここで説明した前記検

査パッド209とのチップ平面内での位置が同一となるため、通常のワイヤボンディング用ウェーハとプローブ211を共用化することも可能である。

そして、上述のフリップチップ型DRAMでは、ボンディングパッド202の投影面積内に検査パッド209が入るため、検査パッド209の付加によるキャパシタンスの増加がほとんどない。

《検査パッドを用いる機能選択》

第44図には64メガビットシンクロナスDRAMチップにおけるボンディングパッド数と、このチップを搭載した従来のTSOP（表面実装パッケージの一種であるThin Small Out-line Package）型パッケージにおける外部端子数の内訳例が示される。TSOP型パッケージの外部端子であるリードとチップのボンディングパッドとは、金の細線によるワイヤボンディングによって接続する。

信号入出力用ボンディングパッドは、一対一で全てパッケージの外部端子に接続する。電源用ボンディングパッド数はパッケージの外部端子数より多く、複数のボンディングパッドから同一の外部端子に共通にワイヤボンディングする。

機能選択用ボンディングパッドは、ワイヤボンディング時にこれらのボンディングパッドを個別に電源電圧に接続するか、あるいは非接続とすることによって、同一チップを異なる方式で動作させるためのものであり、入出力ビット数（4ビット，8ビットまたは16ビット）、バンク数（2バンクまたは4バンク）などを選択する。

プローブ検査専用ボンディングパッドはプローブ検査時のみに使用して、シンクロナスDRAMチップ内部の動作状況を観測するためのものであり、パッケージの外部端子には接続しない。

またパッケージ外部端子中には、外形を他の半導体装置と共通化するための、電氣的には必要ない外部端子も設けられており、チップの

ボンディングパッドとは接続されていない。

第44図の端子構成を有するシンクロナスDRAMのようなチップに再配置配線を施してフリップチップとする場合、フリップチップの完成品に全てのボンディングパッドに対応して半田バンプ電極を設けると、バンプ電極の数が大幅に増加する。このため、限られたチップ面積内にこれら多数のバンプ電極を配置すると、バンプ電極の間隔が狭くなり、基板実装時の位置決めが困難になると共に、高価な基板が必要となる。

第36図で説明したように一部のボンディングパッド202bに対してはバンプ電極を設けずに検査パッド202bのみを設けることにより、半田バンプの数を増加させることなく、再配置配線工程後にプローブ検査を実施することができる。

再配置配線205を施すフリップチップ型半導体集積回路の場合、機能選択用ボンディングパッドの接続は次の三つの内の何れかの方法で行うことができる。

第1の方法は全ての機能選択用ボンディングパッドに対応した半田バンプ電極208を設け、フリップチップ型半導体集積回路を実装する基板側の結線で機能を選択する方法である。この方法は、同一の半導体集積回路を各仕様で共通に使用できるため品種数が減り、半導体メーカー側の管理が容易になるとともに、ユーザ側で機能を選択できるという利点がある。しかし、バンプ電極数が増大しバンプ間隔の狭小化を招くとともに、特定機能しか必要としないユーザに対しても基板配線の追加を要求することになる。

第2の方法は個別の機能毎に再配置配線205の結線パターンを変える方法である。この方法では機能選択の品種数だけ再配置配線205のパターンを準備する必要がある。また、ウェーハ配線段階で機能が固

定されるため、品種間の需要変化に柔軟に対応しにくいという問題がある。

第3の方法は、前記アンチヒューズ1のような電気ヒューズを用いる方式である。この方法では、機能選択の全ての品種を同一の再配置配線パターンで形成することができ、しかも半田バンプ電極数の増加を伴わない。機能選択すなわちアンチヒューズ1の設定は、プローブ検査同様、バンプ電極下地金属207形成後のウェーハにプローブを当てることによって行う。アンチヒューズ1の設定に使用する端子は、半田バンプ電極208に接続する信号入出力用及び電源用ボンディングパッド202aと兼用にしても、また、半田バンプ電極208に接続しない検査パッドのような専用パッドとしても良い。後者の場合には、第22図のトランジスタT9～T11で構成されるような回路が必要である。即ち、第22図の例に従えば、アンチヒューズのプログラム時に端子CGNDには負電圧Vbb'を供給しなければならないが、プログラムが済んだ後は、端子CGNDをフローティングにしておく事ができ、接地電圧Vssに結合しなくても自動的に接地電圧Vssが供給される。

機能選択をアンチヒューズによって行う場合は、従来のプローブ検査と同時に機能選択を行うことも可能となるため、アンチヒューズ設定専用のボンディングパッドは、広義のプローブ検査専用ボンディングパッド202bとみなすことができ、また、アンチヒューズ設定時にプローブを当てるためのパッドは広義の検査パッド209a、209bとみなすことができる。

第36図で説明したように一部のボンディングパッド202bに対してはバンプ電極を設けずに検査パッド202bのみを設け、これを機能選択に用いることにより、半田バンプの数を増加させることなく、再配置配線工程後に機能選択を実施することができる。

《再配置配線及び検査パッドのその他の構造》

第45図には再配置配線部分の他の構造が断面図で示される。第43図の構造では表面絶縁層206開口後に半田バンプ電極下地金属207を形成しているのに対し、第45図の構造では再配置配線205上に
5 予め半田バンプ電極下地金属207を形成した後、表面絶縁層206を形成し、ボンディングパッド202直上部及び半田バンプ電極208の形成部を開口させる。

この構造によっても、第43図の構造と同様の効果を得ることができる。特に、第43図の構造では半田バンプ電極下地金属207の輪郭を
10 エッチング加工で形成するのに必要なマスクが、第45図の構造では不要となるため、加工コストを低減することができる。但し、第43図の構造では、半田バンプ電極208付け根外周部の直下に下部絶縁層204と表面絶縁層206の両方が存在しているのに対し、第45図では下部絶縁層204のみとなっている。このため第43図の構造の方が、基
15 板実装後に半導体装置と実装基板の熱膨張差などによってバンプ電極208に作用する応力を緩和する効果に優れており、温度変化の繰り返しや、外力による基板変形の繰り返しなどに対する半田バンプ電極の接続信頼性が高くされる。

第46図には検査パッドのレイアウト構成の別の例が示され、その断面構造が第47図に例示される。検査パッド209aはボンディングパ
20 ッド202aを挟んで半田バンプ電極208と反対側の表面絶縁層206上に、バンプ電極下地金属層297によって形成されている。

プローブ検査専用ボンディングパッド202bに対しても、表面絶縁層206上の隣接部に、バンプ電極下地金属層297によって検査パ
25 ド209bが形成されている。

検査パッド209aをボンディングパッド202a直上からずらし、

5 バンプ電極下地金属 207 で形成してあるので、仮にプローブ検査時に検査パッド 209a が損傷しても、ボンディングパッド 202a や再配置配線 205 が露出することはない。したがってボンディングパッド 202a とバンプ電極下地金属 207 との間の電氣的接続が水分による腐食などによって切断される虞はない。ボンディングパッド 202 直上部に検査パッド 209 を設ける第 43 図や第 45 図の構造に比べて、平坦な検査パッド 209 を得ることができる。

10 第 46 図のようにチップ中心線上もしくはその近傍にボンディングパッド 202 を配列し、列の両側に半田バンプ電極 208 を配置する構造のフリップチップ型半導体集積回路では、ボンディングパッド列の両側に交互若しくは数個置きに反対側に再配置配線 205 を引き出すので、検査パッド 209 をボンディングパッド列の両側に振り分けて配置することにより、ボンディングパッド列の直上もしくは同一側に設けるよりも大きな寸法の検査パッド 209 を設けることができる。

15 検査パッド 209 は下部絶縁層 204 と表面絶縁層 206 が積層された上に形成されるため、下部の半導体回路素子からの距離を大きくすることができ、検査パッド 209 の付加によるキャパシタンスの増加を軽減することができる。

20 さらに下部絶縁層 204、表面絶縁層 206 の何れか片方にポリイミドなどの有機絶縁膜を使用すれば、一般の無機絶縁膜に比べて比誘電率が低いため、キャパシタンス低減効果が大きくなり、両方に使用すれば最大の効果を得ることができる。

25 また、検査パッド 209 の下地となる表面絶縁層 204 にポリイミドなどの有機絶縁膜を使用する場合、一般の無機絶縁膜に比べて弾性率が低いため、検査パッド 209 をクロム、ニッケルなど硬い半田バンプ下地金属 207 で形成した場合でも、検査パッド 209 の表面が変形しや

すくなる。このため、プローブ 2 1 1 先端との接触面積が大きくなり、電氣的接続性が向上する。この効果は有機絶縁膜を下部絶縁層 2 0 4 と表面絶縁層 2 0 6 の両方に使用することにより一層顕著に現れる。

第 4 8 図には検査パッドの断面構造の別の例が示される。第 4 7 図との差異は、第 4 3 図に対する第 4 5 図の関係同様、バンプ電極下地金属 2 0 7 形成のためのマスクを省略して、コストを低減可能にした点である。即ち、第 4 7 図の場合は検査パッド 2 0 9 a 表面の半田バンプ電極下地金属層 2 9 7 の下に接して再配置配線層 2 0 5 が存在しているため、プローブ検査時に半田バンプ電極下地金属層 2 9 7 が損傷を受けると、再配置配線層 2 0 5 が露出する可能性がある。そこで、第 4 7 図のように、検査パッド 2 0 9 a と半田バンプ電極 2 0 8 を互いにボンディングパッド 2 0 2 a の反対側に配置することによって、もし検査パッド 2 0 9 a 部分の再配置配線層 2 0 5 に腐食等が生じて、ボンディングパッド 2 0 2 a と半田バンプ電極 2 0 8 の間の電氣的接続には影響しないため、高い接続信頼性を得ることができる。

第 4 8 図の構造では、検査パッド 2 0 9 a が下部絶縁層 2 0 4 の上に形成されているため、第 4 7 図の実施例に比べればキャパシタンス低減効果は小さい。しかし、第 4 7 図よりも低コストで製造することができ、下部絶縁層 2 0 4 を有機絶縁膜で形成することにより、無機絶縁膜上に検査パッドを形成する特開平 8 - 2 9 4 5 1 号公報記載の技術等と比べて、検査パッド 2 0 9 の付加によるキャパシタンス増大を軽減する効果がある。また、第 4 8 図の構成においても、下部絶縁層 2 0 4 を有機絶縁膜で形成することにより、その上に形成する検査パッド 2 0 9 の表面が変形しやすくなるため、プローブ 2 1 1 との接触性が向上する。

第 4 9 図には検査パッドのレイアウト構成の別の例が示され、その断面構造が第 5 0 図に例示される。電源または信号入出力用ボンディング

5 パッド202aに対応した検査パッド209aは、ボンディングパッド202aと半田バンプ電極下地金属207を接続する再配置配線205の途中から分岐した位置の表面絶縁層206上に形成されている。プローブ検査専用ボンディングパッド202bに対しては、ボンディングパッド直上部に検査パッド209bを設けている。このような位置に検査パッド209aを設けても、ボンディングパッド202a直上に比べて平坦な検査パッドが得られる。キャパシタンス低減効果は第47図と同様である。

10 検査パッド209aは再配置配線205から分岐して形成されているため、プローブ検査で検査パッド209aが損傷しても、ボンディングパッド202aと半田バンプ電極下地金属207の間の電氣的接続信頼性には影響しない。

15 プローブ検査専用ボンディングパッド202bについては、半田バンプ電極208との接続信頼性が無関係なため、特に検査パッド209bの損傷の影響を考慮する必要はなく、第49図のようにボンディングパッド202bの直上部や任意の位置に設けておいても問題はない。表面絶縁層206又は表面絶縁層206と下部絶縁層204の両方に有機絶縁膜を使用することによって検査パッド202とプローブ211との接触性が向上することは第47図の構造と同様である。

20 第51図はプローブ検査専用ボンディングパッド202bのみに検査パッド209bを設けた例が示される。プローブ検査専用ボンディングパッド202bには、当該ボンディングパッド202bより大きく形成した検査パッド209bを設け、電源及び信号入出力用ボンディングパッド202aについては、半田バンプ電極208形成前の半田バンプ電極下地金属207を使用してプローブ検査を行うものとする。

25 検査パッド209bが不可欠で、且つ電気特性に無関係なプローブ検

査専用ボンディングパッド202bのみに検査パッド209bを設けることにより、他のボンディングパッド、特に信号入出力用配線のキャパシタンス増加を防止できる。また、検査パッドの数が少なくて済み、電気特性にも影響しないため、検査パッド209bの寸法及び間隔を十分大きくすることが可能である。

第52図は検査パッド209をボンディングパッド202側方の再配置配線205からボンディングパッド202の直上部に向かって延在させた例を示す断面図である。ボンディングパッド202の直上部を利用することによって、キャパシタンスを増加させることなく、平坦で寸法の大きな検査パッド209を形成することができ、しかも、検査パッド209の損傷が電氣的接続信頼性に影響しない。この構造の場合にも、表面絶縁層206を有機絶縁膜で形成することにより、検査パッド202とプローブ211との接触性が向上する。

《フリップチップ型半導体集積回路の製造方法》

第53図～第57図にはフリップチップ型半導体集積回路の製造工程が各段階毎に斜視図で示される。

第53図は従来のワイヤボンディング接続用ウェーハの完成段階である。すなわち、前記第37図の状態でのウェーハ220の全体を示した図であり、各チップ210には夫々前記ボンディングパッド202が形成されている。

フリップチップ型半導体集積回路を製造するには、まず、第54図のウェーハ220に第38図～第41図に例示されるように、下部絶縁層204、再配置配線205、表面絶縁層206、及びバンプ電極下地金属207などを形成し、第54図に示すようなバンプ電極下地金属207の形成された状態のウェーハ220を得る。第54図の状態は断面では第41図の状態に相当する。

次に第 5 5 図に示すように、複数のプローブ 2 1 1 をその先端がウェーハ 2 2 0 上の複数の検査パッド 2 0 9 (第 5 5 図では図示を省略) に同時に接触するよう位置決めして固定したプローブカード 2 2 1 を使用してプローブ検査を行う。

- 5 複数のプローブ 2 1 1 を同時に複数の検査パッド 2 0 9 に接触させることによって、チップ 2 1 0 の 1 個分または複数個分の検査パッド 2 0 9 を同時に検査し、接触位置を順次移動させて検査を行うことによりウェーハ 2 2 0 上の全てのチップ 2 1 0 に対してプローブ検査を行う。この時、同一のまたは同様な別個のプローブカード 2 2 1 を用いて機能
- 10 選択や欠陥救済を同時に又は連続して行うことができる。

- 次に、半田バンプ電極の形成工程を、半田ペースト印刷方式を例に採って第 5 6 図により説明する。図示のようにウェーハ 2 2 0 の表面のバンプ電極下地金属 2 0 7 の配置に対応して開口 2 2 3 を形成した半田印刷マスク 2 2 2 を、ウェーハ 2 2 0 上に位置合わせして重ね、スキージ 2 2 4 によって半田ペースト 2 2 5 を印刷する。印刷直後の状態では
- 15 図中の断面図に示すように、半田ペースト 2 2 5 がバンプ電極下地金属 2 0 7 よりもやや広い領域に平坦に印刷されている。このウェーハをリフロー加熱し、半田ペースト 2 2 5 を溶融させると、半田が球状に凝集し、半田バンプ電極 2 0 8 が形成される。

- 20 バンプ電極 2 0 8 形成後のウェーハ 2 2 0 は第 5 7 図に示すようにダイシングブレード 2 2 6 によって個片のチップ 2 1 0 に切断分離することにより、フリップチップ型半導体集積回路の完成品を得ることができる。完成品にはさらに必要に応じてバーニン検査や性能、外観などの各種最終検査が施され、所定のマーキングや包装を行った後出荷さ
- 25 れる。

《再配置配線形成工程以降の製造工程》

第58図は本発明のフリップチップ型半導体集積回路の再配置配線形成工程以降の製造工程フローを、(a)、(b)、(c)、(d)の4通りで示している。同図に示される製造フローは、前記第43図の構造を一例とすれば、絶縁層204の上に再配置配線205を形成する再配置配線形成S1、206のような絶縁層を形成する表面絶縁層形成S2、207のようなバンプ電極下地金属そして検査パッド209の下地金属297などを形成するバンプ電極下地金属形成S3、前記アンチヒューズ1のプログラムによるモード設定のような機能選択S4、プローブ検査S5、前記アンチヒューズ1のプログラムによる不良ビット置き換えのような欠陥救済S6、バンプ電極を形成するバンプ形成S7、ウェーハからチップを切り出す個片切断(ダイシング)S8、バーンインS9及び最終検査S10の各工程を含む。

第58図の(a)に示される製造のフローは、バーンインS9すなわち高温での連続動作試験を、個片切断S8の後にチップ単位で行う場合の製造フローである。フリップチップ型半導体集積回路では再配置配線によって半田バンプ電極の間隔をボンディングパッドの間隔(60~150 μ m程度)より広げている(0.5~1.0mm程度)ため、BGA(ボール・グリッド・アレイ)型のCSP(チップ・サイズ・パッケージ)に使用されるバーンイン用ソケットを使用することによって、容易にチップ単位でのバーンインを行うことができる。即ち、バーンイン工程に先立って、予めチップ上にバンプ電極が形成され、且つ、そのバンプ電極の配列パターンをバーンイン用ソケットの電極配列パターンに対応させることによって、特別な仕様のバーンイン用ソケットを新規に準備する必要がないので、フリップチップ型半導体集積回路の組み立てコストを低減する事が可能である。また、前記バンプ電極を接続端子として利用した前記バーンイン用ソケットを用いない場合でも前記検

査パッド 209 を利用してバーンインの為の電氣的接続を行う事は可能である。この場合は、バンプ電極間に配置された検査用パッドにプロービングが可能な狭ピッチの高価なバーンイン用接触子が必要になる。反面、ソケットの高温での接触による半田バンプ電極 208 の変形を防止することができる。

第 58 図の (b) 及び (c) の製造フローはバーンイン S9 を個片切断 S8 の前にウェーハ段階で行う。特に第 58 図の (b) は、前記検査パッド 209 又は半田バンプ電極 208 の形成前のバンプ下地金属 207 を用いて、半田バンプ電極形成前にバーンインを行う場合の製造フローである。バンプ電極を使用しないでバーンインの電氣的接続を行うため、バーンイン用ソケットの高温環境下での接触による半田バンプ電極の変形を防止することができる。また、半田バンプ電極形成前の平坦な段階でバーンインを行うため、半田バンプ電極 208 が障害となることなく容易に検査パッド 209 にソケットなどのバーンイン用接触子を当てることができる。また、ウェーハ段階でバーンインを行うので、複数チップを一括してバーンインでき、検査のスループットを向上させることが可能である。

第 58 図の (c) は半田バンプ電極形成後にバーンインを行う場合の製造フローを示す。バーンイン用接触子は半田バンプ電極 208 に接触させる。半田バンプ電極 208 にバーンイン用接触子を接触させる場合はバーンイン時に半田バンプ電極 208 に変形を生じさせ易いが、バンプ電極下地金属 207 に損傷あるいは表面劣化を生じさせる危険性がなく、信頼性の高いバンプ下地金属、再配置配線の形成が可能になる。この場合にも、第 58 図の (b) と同様にウェーハ段階でバーンインを行うため、検査のスループットを向上させる事が可能である。

第 58 図の (d) に示される製造フローは、第 58 図の (a) ~ (c)

の各フローの表面絶縁層形成 S 2 の工程とバンプ電極下地金属形成 S 3 の工程を入れ換えた製造フローであり、機能選択工程以降の工程は第 5 8 図の (a) ~ (c) の何れかの製造フローと共通である。第 5 8 図の (a) ~ (c) と第 5 8 図の (d) との関係は第 4 3 図及び第 4 7 図の構造と、第 4 5 図及び第 4 8 図の構造との関係に対応し、第 5 8 図の (d) の製造フローでは再配置配線 2 0 5 とバンプ下地金属 2 0 7 を同一工程で形成したので、第 5 8 図の (a) ~ (c) の製造フローに比べてバンプ電極下地金属の形成コストを低減することができる。

尚、半導体集積回路素子が充分確立されたプロセスで製造され、不良率が低い場合には、バーンインが省略されることもある。この場合には、第 5 8 図の (a) ~ (c) の各製造フローは全く同一となり、差異はなくなる。

第 5 9 図には以上の各製造工程フローにおけるプローブ検査 S 5、バーンイン S 9、最終検査 S 1 0 の各検査工程でのプローブ、ソケットなどのチップ接触箇所をまとめて示してある。第 5 9 図において、プローブ検査専用端子 (パッド) は、プローブ検査 (広義には機能選択、欠陥救済を含む) 時のみに使用し、本発明で述べた検査パッド 2 0 9 にプローブを接触させる。

電源供給及び信号入出力用端子については、プローブ検査時及びバーンイン時の接触箇所は上記第 5 8 図の (a) ~ (c) の何れのフローを採用するかによって異なる。ただし最終検査は何れの場合も完成品としての半田バンプ電極を使用して行う。

第 5 8 図の各製造工程フローでは、何れも機能選択 S 4、プローブ検査 S 5、欠陥救済 S 6 を連続して実施している。機能選択 S 4 と欠陥救済 S 6 にアンチヒューズを利用する場合、これら三つの工程は何れもプローブをウェーハに接触させることによって電氣的処理のみ (レーザに

よるヒューズ切断や再配置配線の変更を伴わない)によって行うことができるので、1回のプローピングで(即ち他のチップに対するプローピングの後に再度プローピングすることなく)3工程を一括して処理することができ、工程を簡略化することが可能となる。この場合は、機能選択や欠陥救済も広義のプローブ検査に含めて考えることができる。

第58図の各製造工程フローでは、何れも半田バンプ電極形成S9を第56図で示した方法などで個片切断S8の前のウェーハ段階で一括して行っており、個片のチップ毎に半田バンプ電極を形成する従来のBGAやCSPの製造工程に比べて能率良く半田バンプ電極を形成することができる。

さらに機能選択S4、プローブ検査S5、欠陥救済S6の三つの工程を半田バンプ電極形成S7の前に行うことにより、半田バンプの突起が障害となることなく容易にプローピングを行うことができる。

機能選択S4はプローブ検査S5又は欠陥救済S6の後に実施することも可能である。しかし、機能選択S4をプローブ検査S5の前に実施すれば、プローブ検査S5の時には予め選択した機能についてのみ検査を行えば良くなるため、検査項目を削減し検査能率を向上させることが可能となる。

機能選択S4によって得られる各品種間の需要割合は市場の動向によって常時変化する。したがって需要の変化に柔軟に対応し、かつ品種毎の在庫量を最小限とするためには、機能選択前の状態で在庫を有していることが望ましく、しかも機能選択後の工程ができるだけ短期間に対応できるものであることが望ましい。機能選択にアンチヒューズを利用することにより、全ての品種に同一の再配置配線パターンを施し、バンプ電極形成直前の状態で在庫保管することができる。これによって、需要変化に応じて短期間で必要な品種を製造することができ、在庫量も削

減することが可能となる。

第58図で説明した製造フローに対しては、上記とは逆に、前記プログラム素子による機能選択S4を前記バンプ電極の形成S7後に行うことができる。この場合には、機能選択のためにプログラム素子へ電圧を印加するための電極を突起状電極と同様に半導体集積回路の表面に露出させおく必要がある。但し、機能選択に伴う処理を除いてウェーハ工程の殆どを終えた状態で半導体集積回路を在庫できるので、在庫管理が容易である。

以上説明したフリップチップ型半導体集積回路及びその製造方法によれば以下の作用効果を得ることができる。

〔1〕フリップチップ型半導体集積回路80, 100にアンチヒューズ1のようなプログラム素子を採用するから、プログラム素子としてレーザで熔断可能なヒューズを用いることによって顕在化される信頼性の低下を全く引き起こさない。

前記再配置配線205のような導電層を前記パッド202a, 202bのような端子の配列に対する突起状電極208の再配置用配線として用いる場合、前記導電層の上下に絶縁膜204, 206を配置すれば、突起状電極を介して半導体基板に与えられる応力・歪状態を緩和させることができる。

フリップチップ型半導体集積回路は、プローブテストのための検査パッドなどに用いることができるパッド電極209a, 209bを表面に露出させておくことができる。プログラム素子に所定の電位差を形成する為の電圧印加に前記パッド電極の内の一部のパッド電極209bを用いる事ができる。プログラム素子をプログラムした後、パッド電極をフローティングにしておけば良い回路構成(第22図のトランジスタT9~T11から成る回路)の場合には、パッド電極209bには突起状

電極 208 を割当てなくても良い。こうすれば、フリップチップ型半導体集積回路のプログラム素子の状態を電氣的に変更するために必要となる電極がその他の用途の突起状電極の数を制限しない。これに対し、プログラム素子をプログラムした後、パッド電極を接地電位 V_{ss} 又は電源電圧 V_{cc} に強制しなければならない回路構成の場合には、パッド電極 209b には突起状電極 208 を割当て、基板実装に際して当該突起状電極を配線基板上の電源配線に接続しておけば良い。

前記アンチヒューズ 1 のようなプログラム素子に所定の電位差を形成する為の電圧が $V_{bb'}$ や V_{DD} のようにプログラム素子以外の回路の通常の動作電源電圧 V_{ss} , V_{cc} と相異なる電圧である場合には、前記プログラム用電圧の印加電極を複数のプログラム素子に共通化すれば、そのような外部端子の数を減らす事が出来る。

アンチヒューズ 1 の絶縁膜を破壊するために正電圧 V_{DD} と負電圧 $V_{bb'}$ を利用するので、アンチヒューズ 1 の破壊用電位差を得るとき、回路の接地電圧 V_{ss} を基準とした絶対値的な電圧をほぼ通常動作の電圧に抑える事が可能になる。

前記アンチヒューズ 1 のようなプログラム素子は不良の救済に用いることができる。また、前記プログラム素子は半導体集積回路の機能選択に用いることができる。これにより、フリップチップ型半導体集積回路において、突起状電極を形成した後でも機能選択若しくは動作モード選択と言う点でボンディングオプションと同等の融通性を簡単に得ることができる。前記アンチヒューズのようなプログラム素子は回路の特性を選択する為のトリミング情報の記憶手段として採用することもできる。

〔2〕フリップチップ型半導体集積回路にアンチヒューズ 1 のようなプログラム素子を採用した半導体集積回路の製造方法は、例えば従来のボ

ンディングワイヤ接続用ボンディングパッド 202 を有するウェーハなどを完成させる第 1 の工程の他に、前記ボンディングパッド 202 の一部に対応する実装接続用の複数個のバンプ電極 208 を形成する第 2 の工程 S 7 と、前記ウェーハに形成されている回路を検査する第 3 の工程 S 5 と、前記第 3 の工程による検査結果に従って欠陥部分を救済回路に置き換える第 4 の工程 S 6 と、バーンインを行う第 5 の工程 S 9 と、前記ウェーハをダイシングする第 6 の工程 S 8 とを含む。そして、前記アンチヒューズ 1 の状態を不可逆的に変化させて前記回路の機能を選択する第 7 工程 S 4 を含む。上記により、レーザで熔断可能なヒューズをプログラム素子として用いることなく、半導体集積回路の機能選択が可能である。これにより、機能選択が施されて製造されたフリップチップ型半導体集積回路の歩留まり向上並びに信頼性向上に寄与することができる。

前記プログラム素子による機能選択を前記バンプ電極 208 の形成前に行うことができる。即ち、前記第 7 工程 S 4 の後に前記第 2 の工程 S 7 を行う。バンプ電極 208 を形成した後はウェーハ上に少なからず凹凸ができる。バンプ電極 208 の形成前に機能選択を行えば、そのためのアンチヒューズ 1 への電圧印加用パッド若しくは端子に対するプローブの接触が容易であり、機能選択の作業能率を向上させることができる。

上記とは逆に、前記アンチヒューズ 1 による機能選択 S 4 を前記バンプ電極 208 の形成 (S 7) 後に行うことができる。この場合には、機能選択のためにアンチヒューズ 1 へ電圧を印加するための電極をバンプ電極 208 と同様に半導体集積回路の表面に露出させおく必要がある。但し、機能選択に伴う処理を除いてウェーハ工程の殆どを終えた状態で半導体集積回路を在庫できるので、在庫管理が容易である。

前記欠陥部分を救済回路に置き換える前記第 4 工程 S 6 において、前記置き換えは、前記アンチヒューズ 1 の状態を不可逆的に変化させて行うことができる。このとき、機能選択 S 4、検査 S 5、及び救済 S 6 の各工程は、1 回路ブローピング処理で済ませる事ができる。すなわち、
5 前記第 3 工程、前記第 4 工程及び前記第 7 工程を連続的にを行い、各工程には必要に応じて前記端子又はバンプ電極 2 0 8 に対するブローピング処理を含む。機能選択 S 4、検査 S 5、及び救済 S 6 の各工程の後にバンプ電極 2 0 8 を形成すれば (S 7)、アンチヒューズへの電圧印加用パッド若しくは端子に対するプローブの接触が容易であり、機能選択
10 はもとより検査及び救済の作業能率も向上させることができる。

前記バーンインを行う第 5 工程 S 9 の後に第 2 工程によりバンプ電極 2 0 8 を形成すれば (S 7)、高温環境下での突起的電極の変形を考慮しなくてもよいから、その点においてバーンインを容易に行うことができる。

15 [3] フリップチップ型半導体集積回路における欠陥部分を救済回路に置き換えることに着目したとき、半導体集積回路の製造方法は、例えば従来のボンディングワイヤ接続用ボンディングパッド 2 0 2 を有するウェーハなどを完成させる第 1 の工程の他に、前記ボンディングパッド 2 0 2 の一部に対応する実装接続用の複数のバンプ電極 2 0 8 を形成する第 2 の工程 S 7 と、前記ウェーハに形成されている回路を検査する第 3 の工程 S 5 と、前記第 3 の工程による検査結果に従って欠陥部分を救済回路に置き換える第 4 の工程 S 6 と、バーンインを行う第 5 の工程 S 9 と、前記ウェーハをダイシングする第 6 の工程 S 8 とを含み、前記第 4 工程 S 6 は、前記アンチヒューズ 1 の状態を不可逆的に変化させて前記置き換えを行う工程とされる。前記第 4 工程では、例えば、前記
20 複数のボンディングパッド 2 0 2 のうち前記アンチヒューズ 1 に接続
25

されている所定の端子を介して前記アンチヒューズ 1 に所定の電位差を形成する為の電圧を印加する。上記により、レーザで熔断可能なヒューズをプログラム素子として用いることなく、半導体集積回路の欠陥救済が可能である。これにより、救済が施されて製造されたフリップチップ型半導体集積回路の歩留まり向上並びに信頼性向上に寄与することができる。

[4]フリップチップ型半導体集積回路のプローブテストに着目したとき、バンプ電極が設けられずプローブ検査にのみ用いられるボンディングパッドのような端子 202b の直上もしくは近傍に、再配置配線層 205 もしくはバンプ電極下地金属層 297 等の導電層を用いた検査パッド 209b を設ける。すなわち、前記検査パッド 209b をバンプ電極 208 と排他的に設ける。これにより、回路基板への実装と言う意味で実用的な間隔でのバンプ電極の配置を最大限に容易化することができる。

15 バンプ電極 208 を設けるボンディングパッド 202a のような端子についても同様の検査パッド 209a を設けても良い。

20 プローブ検査はこれらの検査パッド 209a, 209b を用いて、若しくは、前記検査パッド 209b と共に、バンプ電極形成前のバンプ電極下地金属 207 を併用して実施する。上記により、検査パッド 209b を使用することにより、プローブ検査専用パッドのためのバンプ電極を追加しなくてもよい。バンプ電極 208 を有する端子に対しても検査パッド 209a を追加することにより、ウェーハプローブテストを検査パッド 209a, 209b だけを用いて容易に行う事ができる。

25 更に、ボンディングパッドのような端子の近傍に設けられバンプ電極下地金属よりも寸法の小さな検査パッド 209a, 209b を使用することにより、再配置配線工程後にプローブ検査を実施することができる。

また、ポリイミドなどの有機絶縁層 204 の上に再配置配線 205 のような導電層及び検査パッドを形成する。比誘電率が小さく厚膜化の容易な有機絶縁層上に検査パッドを設けることにより、検査パッドと下部半導体回路の間のキャパシタンスを低減することが可能となる。また、

5 有機絶縁層の弾性係数が比較的小さいため、検査パッド表面が変形し易くなり、プローブの接触性が向上する。

そして、再配置配線上に絶縁層 206 を形成し、その上にバンプ電極下地金属 207 及び検査パッド 209b を形成する。よって、再配置配線の上下 2 層の絶縁層 204, 206 を積層した上に検査パッドを設けることにより、検査パッドと下部半導体回路の間のキャパシタンスを低減することが可能となる。

10

〔5〕前記検査パッドを設けた構造の半導体集積回路の製造方法において、バーンインは、バンプ電極形成後ダイシングしてから行い、或いは、その逆に、バーンイン後バンプ電極を形成してダイシングを行っても良い。前者においては、フリップチップ型半導体集積回路と同様に外部接続電極がエリアアレイ状にマッピングされた BGA (ボールグリッドアレイ) 型の半導体チップの為に用意されているバーンイン用ソケットを流用でき、或いはバンプ電極のエリアアレイ状の配列を既存のバーンイン用ソケットの端子配列に合せることにより、特別な仕様のバーンイン

15

20 用ソケットを新規に用意しなくても済み、チップ単位でのバーンインを容易に行う事が出来、また、テストコストの低減にも寄与する。後者は、プローブテストだけでなく、バーンインも、検査パッド 209a, 209b 或いは検査パッド 209b とバンプ状電極下地金属 207 を用いて行う事が出来る。したがって、高温下でソケットに接触する事により

25 半田バンプ電極のような突起状電極が変形するのを防止する事が出来る。

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、欠陥救済、機能選択、トリミングなどの手段は、DRAMや
5 シンクロナスDRAM以外に、SRAM、EEPROM、フラッシュメモ
リ、不揮発性記憶素子を用いたプログラマブルロジックアレイ等の各
種メモリ、そしてマイクロコンピュータやマイクロプロセッサ等の種々
の論理LSIにも適用することができる。

また、プログラム素子は電位差によって絶縁破壊されるアンチヒュー
10 ズに限定されず、電位差によって熔融されて高抵抗状態にされるその他
の電気ヒューズであってもよい。また、欠陥救済における救済アドレス
のアクセス判定にセクタ3等を用いる構成は一例であり、種々の回路
構成を採用することができる。同じく、アンチヒューズ回路の構成、ア
ドレス比較回路の構成についても種々変更可能である。また、ボンディ
15 ングオプションに代わる機能選択やトリミングについてもその他の用
途に適用する事が出来る。

アンチヒューズのようなプログラム素子に印加する電位差は負極性
の電圧と正極性の電圧の双方を用いる事に限定されない。回路の接地電
圧基準で一方の極性の電圧だけを用いるようにしてもよい。

20 また、 $V_{bb'}$ のような負電圧の入力端子はヒューズプログラムの専
用端子である事に限定されない。アドレス入力端子などの特定の外部端
子を兼用してもよい。兼用端子は例えばプログラムモードで前記CGND
のような端子機能が選択されることになる。

また、以上の説明ではワイヤボンディング接続用ウェーハに再配置配
25 線や検査パッド及びバンプ電極を追加した製造工程を経てフリップチ
ップ型半導体集積回路を構成した。本発明は、そのような考え方に限定

されず、当初より、フリップチップ型半導体集積回路を製造することを企図した工程を経る事ができる。その場合には、ボンディングパッドのようなパッド電極を設け無くてもよい。再配置配線のような導電層に接続する端子が有ればよい。

- 5 電気ヒューズは、その両端に所定電圧が与えられることにより電気ヒューズの両端（電流経路）の抵抗値が大きくなる構成や逆に小さくなる構成（アンチヒューズ）の他に、以下のものを用いてもよい。すなわち、電気ヒューズは可逆的に情報を保持可能な素子で構成してもよい。例えば、EEPROM、FRAM、フラッシュメモリなどで電気ヒューズを構成してもよい。或いは、一度だけ書き込み可能なROMやEEPROMで電気ヒューズを構成してもよい。
- 10

産業上の利用可能性

- 本発明は、半導体基板に回路基板実装用の半田バンプなどの突起状電極を備えるDRAMやシステムLSIなど種々の半導体集積回路に広く適用することができる。
- 15

請 求 の 範 囲

1. 半導体基板と、
前記半導体基板上の素子形成層に形成された複数の回路素子と、
5 前記素子形成層の表面に形成され所定の前記回路素子に接続される複数の端子と、
前記複数の端子の内の一部の端子である第1の端子に夫々接続され前記素子形成層の上に延在する複数の導電層と、
前記導電層に夫々接続された突起状電極と、
10 前記複数の端子の内の残りの端子である第2の端子の全部又は一部に夫々接続された検査パッドと、
前記突起状電極及び検査パッドを露出させて表面を覆う絶縁膜と、
を有して成るものであることを特徴とする半導体集積回路装置。
2. 半導体基板と、
15 前記半導体基板上の素子形成層に形成された複数の回路素子と、
前記素子形成層の表面に形成され所定の前記回路素子に接続される複数の端子と、
前記複数の端子の内の一部である第1の端子に夫々接続され前記素子形成層の上に延在する複数の導電層と、
20 前記導電層に夫々接続された突起状電極と、
前記複数の端子の内の残りの端子である第2の端子の全部又は一部と前記第1の端子の全部又は一部に夫々接続された検査パッドと、
前記突起状電極及び検査パッドを露出させて表面を覆う絶縁膜と、
を有して成るものであることを特徴とする半導体集積回路装置。
- 25 3. 前記導電層は、金属配線であり、前記絶縁膜は、前記金属配線上に形成され、前記金属配線の下部には、更なる絶縁膜が形成されて成る

ものであることを特徴とする請求の範囲第1項又は第2項記載の半導体集積回路装置。

4. 前記絶縁膜と前記更なる絶縁膜は、異なる材料で形成され、前記絶縁膜は、前記更なる絶縁膜より高弾性率の材料で形成されて成るものであることを特徴とする請求の範囲第3項記載の半導体集積回路装置。

5. 前記絶縁膜は有機物質を含む膜であることを特徴とする請求の範囲第3項記載の半導体集積回路装置。

6. 前記有機物質を含む膜は、ポリイミド膜、フッ素樹脂膜、又はシリコン若しくはアクリル系ゴム材料を含むエラストマ膜であることを特徴とする請求の範囲第5項記載の半導体集積回路装置。

7. 前記検査パッドは対応する前記端子の直上に配置されて成るものであることを特徴とする請求の範囲第1項又は第2項記載の半導体集積回路装置。

8. 前記検査パッドは半導体基板の中央部に規則的に配置され、前記突起状電極は前記検査パッドの外側に規則的に配置されて成るものであることを特徴とする請求の範囲第7項記載の半導体集積回路装置。

9. 前記検査パッドは前記絶縁膜の上に延在するものであることを特徴とする請求の範囲第1項又は第2項記載の半導体集積回路装置。

10. 半導体ウェーハ上の素子形成層に所要の回路を構成すると共に、前記素子形成層の表面に前記所定の回路素子に接続された複数の端子を形成し前記複数の端子の一部の端子である第1の端子に夫々接続され前記素子形成層の上に複数の導電層を延在させる第1の工程と、

前記延在された導電層に接続する突起状電極を形成する第2の工程と、

前記複数の端子の内の残りの端子である第 2 の端子の全部又は一部に夫々接続させて検査パッドを形成する第 3 の工程と、

前記素子形成層に形成された前記所要の回路を検査する第 4 の工程と、

5 バーンインを行う第 5 の工程と、

前記ウェーハをダイシングする第 6 の工程とを含むことを特徴とする半導体集積回路装置の製造方法。

1 1. 半導体ウェーハ上の素子形成層に所要の回路を構成すると共に、
前記素子形成層の表面に前記所定の回路素子に接続された複数の端
10 子を形成し前記複数の端子の内の一部の端子である第 1 の端子に
夫々接続され前記素子形成層の上に複数の導電層を延在させる第 1
の工程と、

前記延在された導電層に接続する突起状電極を形成する第 2 の工程と、

15 前記複数の端子の内の残りの端子である第 2 の端子の全部又は一部と前記第 1 の端子の全部又は一部とに夫々接続させて検査パッドを形成する第 3 の工程と、

前記素子形成層に形成された前記所要の回路を検査する第 4 の工程と、

20 バーンインを行う第 5 の工程と、

前記ウェーハをダイシングする第 6 の工程とを含むことを特徴とする半導体集積回路装置の製造方法。

1 2. 前記第 4 の工程による検査結果に従って欠陥部分を救済回路に置き換える第 7 の工程を更に含むことを特徴とする請求の範囲第 10
25 項又は第 11 項記載の半導体集積回路装置の製造方法。

1 3. 前記第 2 の工程で突起状電極を形成し且つ前記第 3 の工程で検査

パッドを形成した後、第 6 の工程でダイシングされた個片に対して前記第 5 工程のバーンインを行うことを特徴とする請求の範囲第 10 項又は第 11 項記載の半導体集積回路装置の製造方法。

14. 前記第 3 の工程で検査パッドを形成した後、前記第 5 の工程でバーンインを行い、前記第 2 の工程で突起状電極を形成して前記第 6 の工程でダイシングを行うことを特徴とする請求の範囲第 10 項又は第 11 項記載の半導体集積回路装置の製造方法。

15. その主面に集積回路及び複数の第 1 電極が形成された半導体チップであって、前記複数の第 1 電極が第 1 の間隔で配列された半導体チップと、

前記半導体チップの主面を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に形成された複数の第 1 配線層であって、各々の一端部が前記複数の第 1 電極に接続され、各々の他端部が前記第 1 の間隔より大きい第 2 の間隔で配列された複数の第 1 配線層と、

前記複数の第 1 配線層に電氣的に接続され、且つ、前記複数の第 1 配線層の他端部上に形成された複数の第 1 導体層と、

前記複数の第 1 配線層に電氣的に接続され、且つ、前記複数の第 1 配線層上に形成された第 2 導体層であって、前記他端部と異なる位置に配置された複数の第 2 導体層と、

前記複数の第 1 配線層上に形成された複数の突起状電極とを有し、前記複数の第 1 導体層と前記複数の第 2 導体層は、同一工程により形成された導体膜から成るものであることを特徴とする半導体集積回路装置。

16. 前記複数の第 1 導体層は、前記複数の突起状電極の下地導体層であり、前記複数の第 2 導体層は、電氣的試験を行うための検査用導体層であることを特徴とする請求の範囲第 15 項記載の半導体集積回

路装置。

17. 前記複数の第1配線層の一端は、前記第1絶縁層中に形成された複数の開口を介して前記複数の第1電極に接続されていることを特徴とする請求の範囲第15項記載の半導体集積回路装置。

5 18. 更に、前記第1絶縁膜の下部に形成され、且つ、前記半導体チップの主面を覆う第2絶縁膜を有し、前記第2絶縁膜は、前記複数の第1電極を露出する複数の開口を有するものであることを特徴とする請求の範囲第17項記載の半導体集積回路装置。

10 19. 前記第1絶縁膜は、有機絶縁膜であり、前記第2絶縁膜は、無機絶縁膜であることを特徴とする請求の範囲第18項記載の半導体集積回路装置。

20. 前記第1絶縁膜はポリイミド膜を含み、前記第2絶縁膜は窒化シリコン膜を含むことを特徴とする請求の範囲第19項記載の半導体集積回路装置。

15 21. 半導体基板と、
前記半導体基板上に形成された回路素子と、
前記半導体基板上に形成され、前記回路素子に接続された第1導電層と、

20 前記半導体基板上に形成され、試験パッドを構成する第2導電層と、
前記第1導電層の上に形成され、前記第1導電層に接続されたバン
プと、

前記半導体基板と前記第1導電層との間、及び前記半導体基板と前記第2導電層との間に形成された有機膜とを有し、

25 前記第1導電層と第2導電層とは接続されて成るものであることを特徴とする半導体集積回路装置。

22. 半導体基板と、

前記半導体基板に形成された回路素子と、

前記半導体基板の上層に形成され、配線部と検査パッド部とを有し、
前記回路素子に接続された導電層と、

前記配線部の上層に形成され、前記配線部に接続されたバンプと、

5 前記半導体基板と前記検査パッド部との間に形成された有機膜と
を有して成るものであることを特徴とする半導体集積回路装置。

2 3 . 半導体基板と、

前記半導体基板に形成された第 1 回路素子及び第 2 回路素子と、

前記半導体基板の上層に形成され、前記第 1 回路素子に接続された
10 配線と、

前記配線の上層に形成され、前記配線に接続されたバンプと、

前記半導体基板の上層に形成され、前記第 2 回路素子に接続され、
検査パッドを構成する導電層とを含み、

前記導電層はいかなるバンプとも電氣的に離間されて成るもので
15 あることを特徴とする半導体集積回路装置。

2 4 . 半導体基板と、

前記半導体基板に形成された半導体集積回路素子と、

前記半導体基板の上に形成され、前記半導体集積回路素子に接続さ
れた配線と、

20 前記配線の上に形成され、前記配線に接続されたバンプと、

前記半導体基板の上に形成され、前記半導体集積回路素子に接続さ
れ、試験パッドを構成する導電層とを含む半導体集積回路装置であっ
て、

前記半導体集積回路素子の試験が実行されるとき、前記試験パッド
25 は前記半導体集積回路装置の外部と電氣的に接続され、

前記半導体集積回路素子の通常動作のとき、前記試験パッドは前記

半導体集積回路装置の外部と電氣的に接続されないものであることを特徴とする半導体集積回路装置。

25. 半導体基板と、

前記半導体基板に形成された集積回路素子と、

5 前記半導体基板の上に形成され、前記集積回路素子に接続された複数の配線と、

前記複数の配線の上に形成され、前記複数の配線に対応して設けられた複数のバンプと、

10 前記半導体基板の上に形成され、前記集積回路素子に接続され、検査パッドとしての導電層と、

前記半導体基板の上であり且つ前記複数の配線の下に形成された有機膜とを含む半導体集積回路装置であって、

前記集積回路素子の検査が実行されるとき、前記検査パッドは前記半導体集積回路装置の外部と電氣的に接続され、

15 前記集積回路素子の通常動作のとき、前記検査パッドは前記半導体集積回路装置の外部と電氣的に分離されるものであることを特徴とする半導体集積回路装置。

26. 半導体基板と、

前記半導体基板に形成された第1回路素子及び第2回路素子と、

20 前記半導体基板の上に形成され、前記第1回路素子に接続された配線と、

前記配線の上に形成され、前記配線に接続されたバンプと、

前記半導体基板の上に形成され、前記第1回路素子に接続され、第1試験パッドを構成する第1導電物質と、

25 前記半導体基板の上に形成され、前記第2回路素子に接続され、第2試験パッドを構成する第2導電物質とを含む半導体集積回路装置

であって、

前記第 1 回路素子及び第 2 回路素子の試験が実行されるとき、前記第 1 試験パッド及び第 2 試験パッドは前記半導体集積回路装置の外部と電氣的に接続され、

- 5 前記第 1 回路素子及び第 2 回路素子の通常動作のとき、前記第 1 試験パッドは前記バンプを介して前記半導体集積回路装置の外部と電氣的に接続され、前記第 2 試験パッドは前記半導体集積回路装置の外部と電氣的に接続されないものであることを特徴とする半導体集積回路装置。

- 10 27. 半導体基板と、

前記半導体基板に形成された集積回路と、

前記半導体基板の上に形成され、前記集積回路に接続された配線と、
前記配線の上に形成され、前記配線に接続されたバンプと、

- 15 前記半導体基板の上に形成され、前記集積回路に接続され、第 1 試験パッドを構成する第 1 導電層と、

前記半導体基板の上に形成され、前記集積回路に接続され、第 2 試験パッドを構成する第 2 導電層とを含む半導体集積回路装置であって、

前記第 1 導電層と前記配線とは接続され、

- 20 前記集積回路の試験が実行されるとき、前記第 1 試験パッド及び第 2 試験パッドは前記半導体集積回路装置の外部と電氣的に接続され、
前記集積回路の通常動作のとき、前記第 1 試験パッドは前記バンプを介して前記半導体集積回路装置の外部と電氣的に接続され、前記第 2 試験パッドは前記半導体集積回路装置の外部と電氣的に分離されるものであることを特徴とする半導体集積回路装置。
- 25

28. 半導体基板と、

前記半導体基板に形成された集積回路素子と、

前記半導体基板の上層に形成され、前記集積回路素子に接続された
複数の配線と、

5 前記複数の配線の上層に形成され、前記複数の配線に対応して夫々
設けられた複数のバンプと、

前記半導体基板の上層に形成され、前記集積回路素子に接続され、
テストパッドを構成する導電層と、

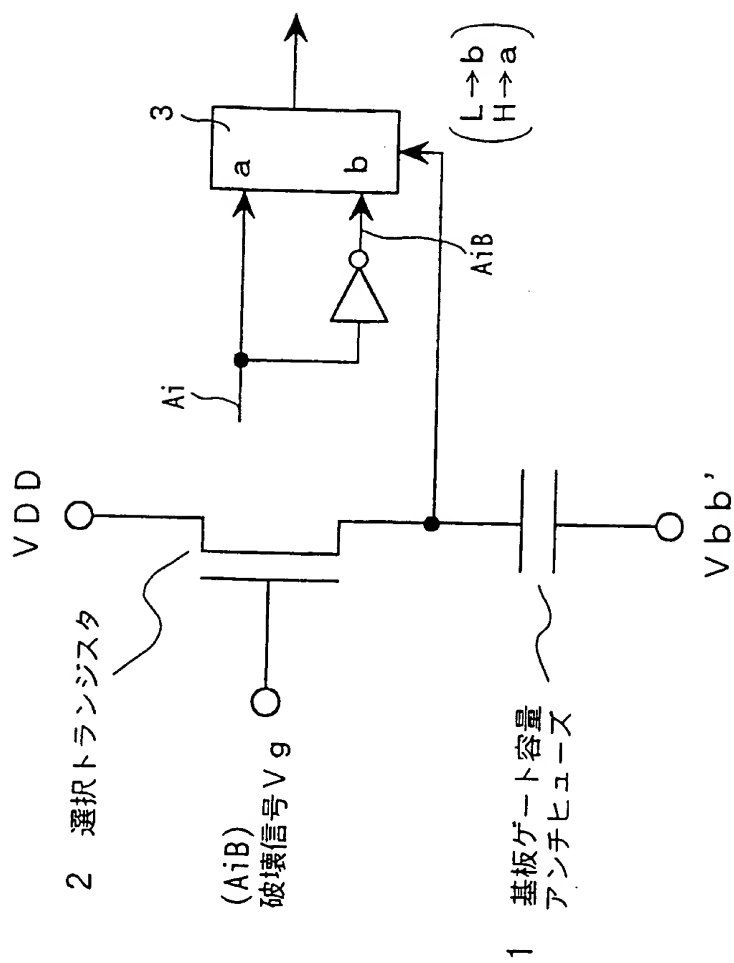
10 前記半導体基板と前記複数の配線との間及び前記半導体基板と前
記導電層との間に形成される有機物質を含む膜とを含む半導体集積
回路装置であって、

前記集積回路素子のテストが実行されるとき、前記テストパッドは
前記半導体集積回路装置の外部と電氣的に接続され、

15 前記集積回路素子の通常動作のとき、前記テストパッドは前記半導
体集積回路装置の外部と電氣的に接続されないものであることを特
徴とする半導体集積回路装置。

THIS PAGE BLANK (USPTO)

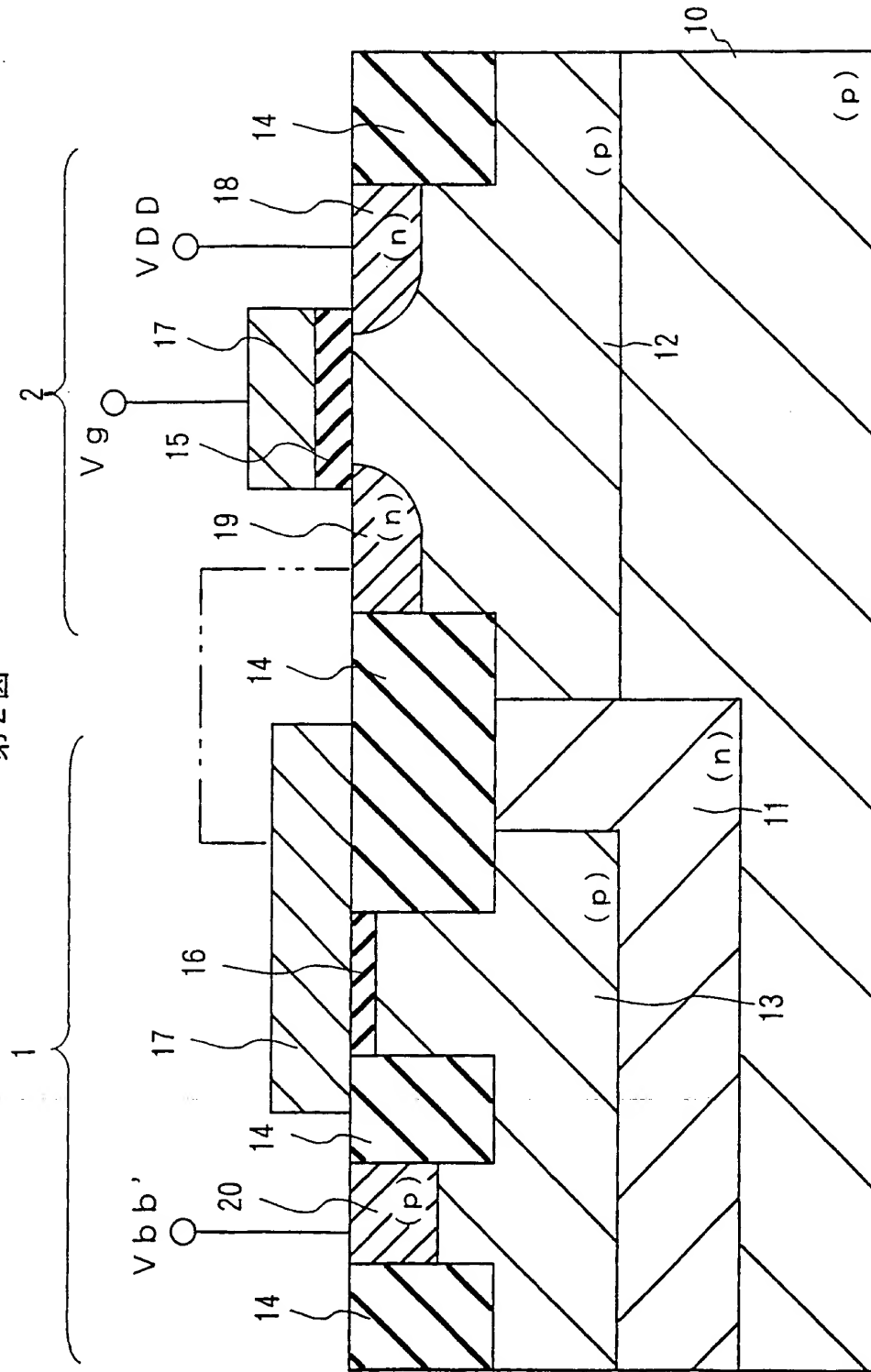
第1図





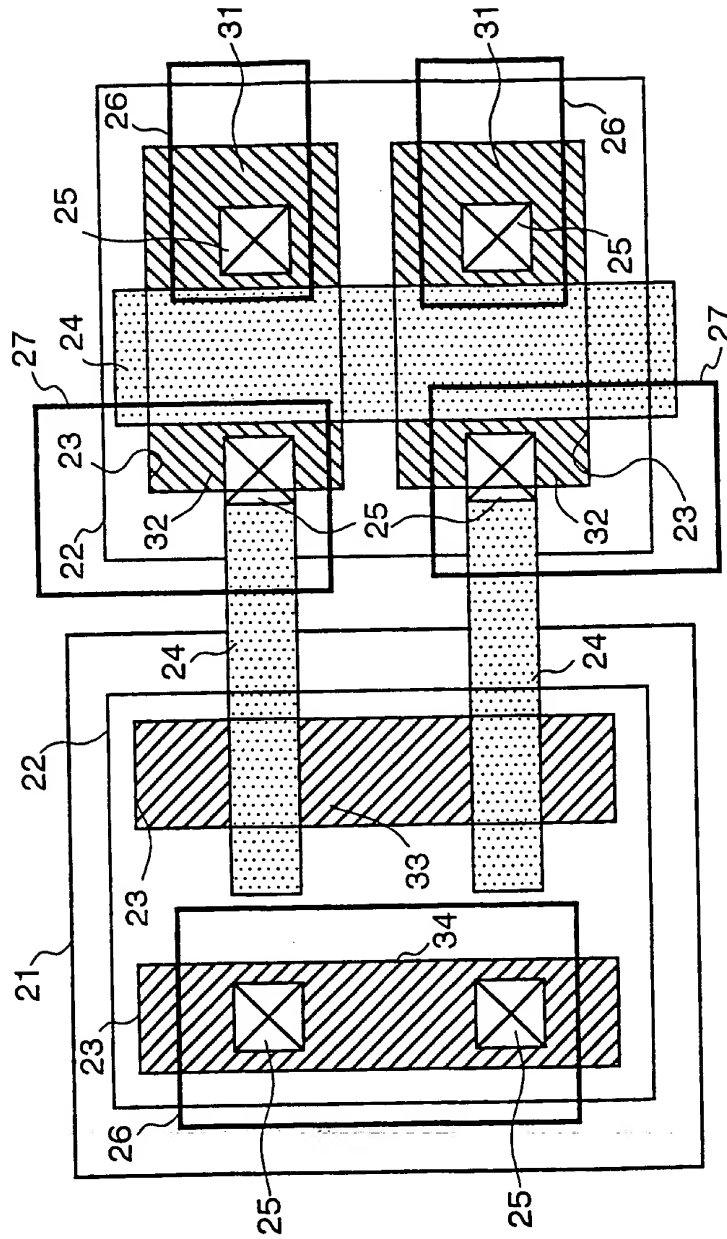
THIS PAGE BLANK (USPTO)

第2図



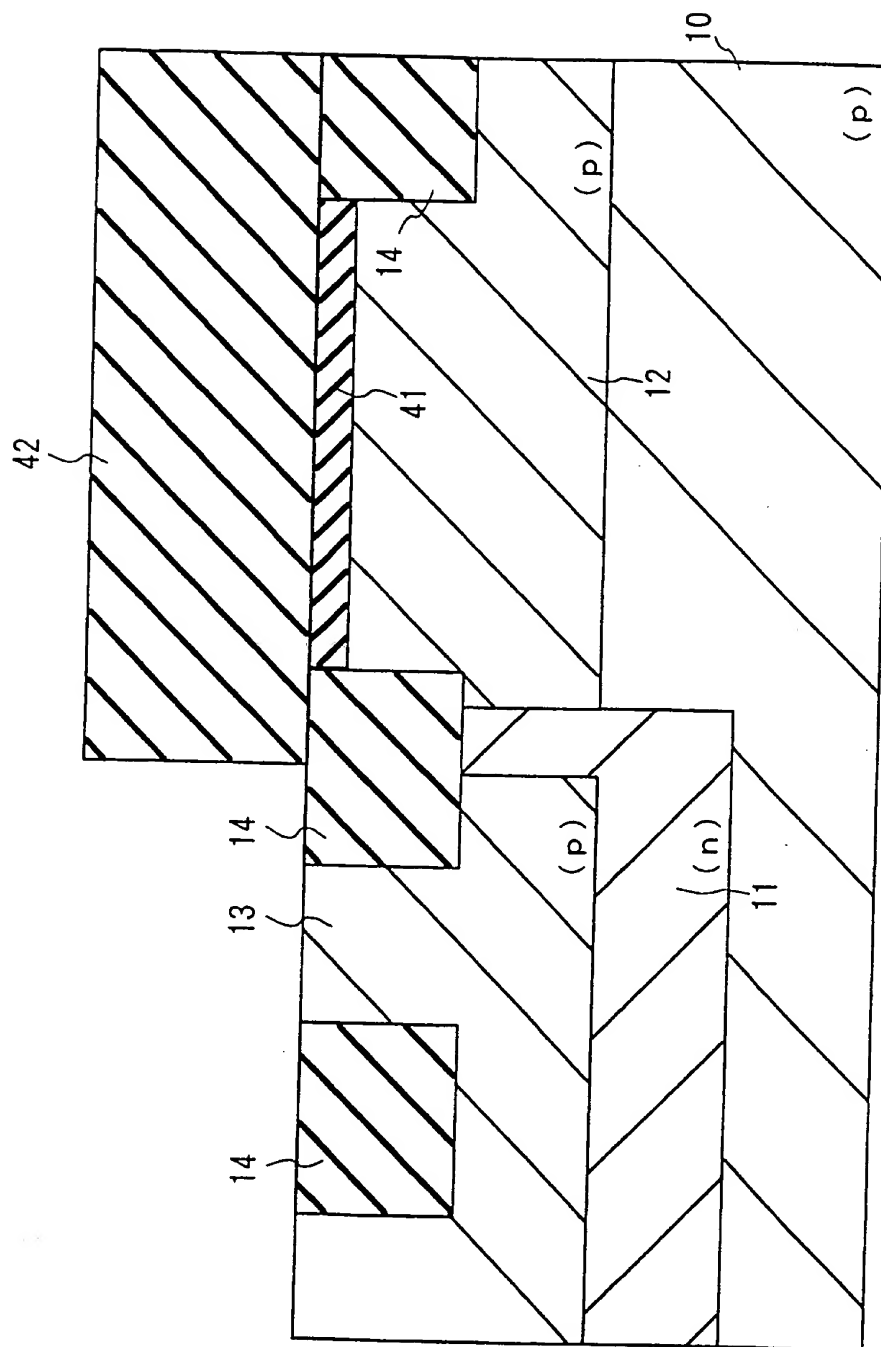
THIS PAGE BLANK (USPTO)

第3図

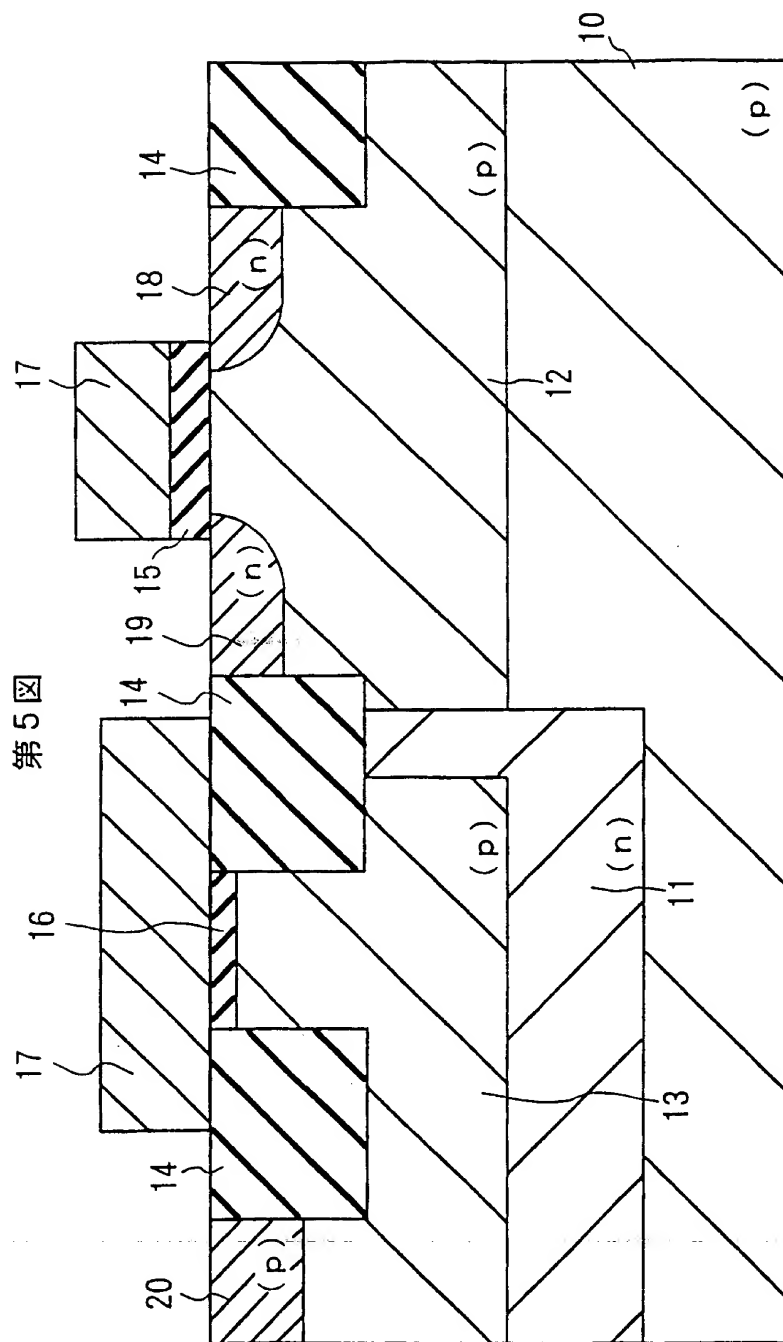


THIS PAGE BLANK (USPTO)

第4図



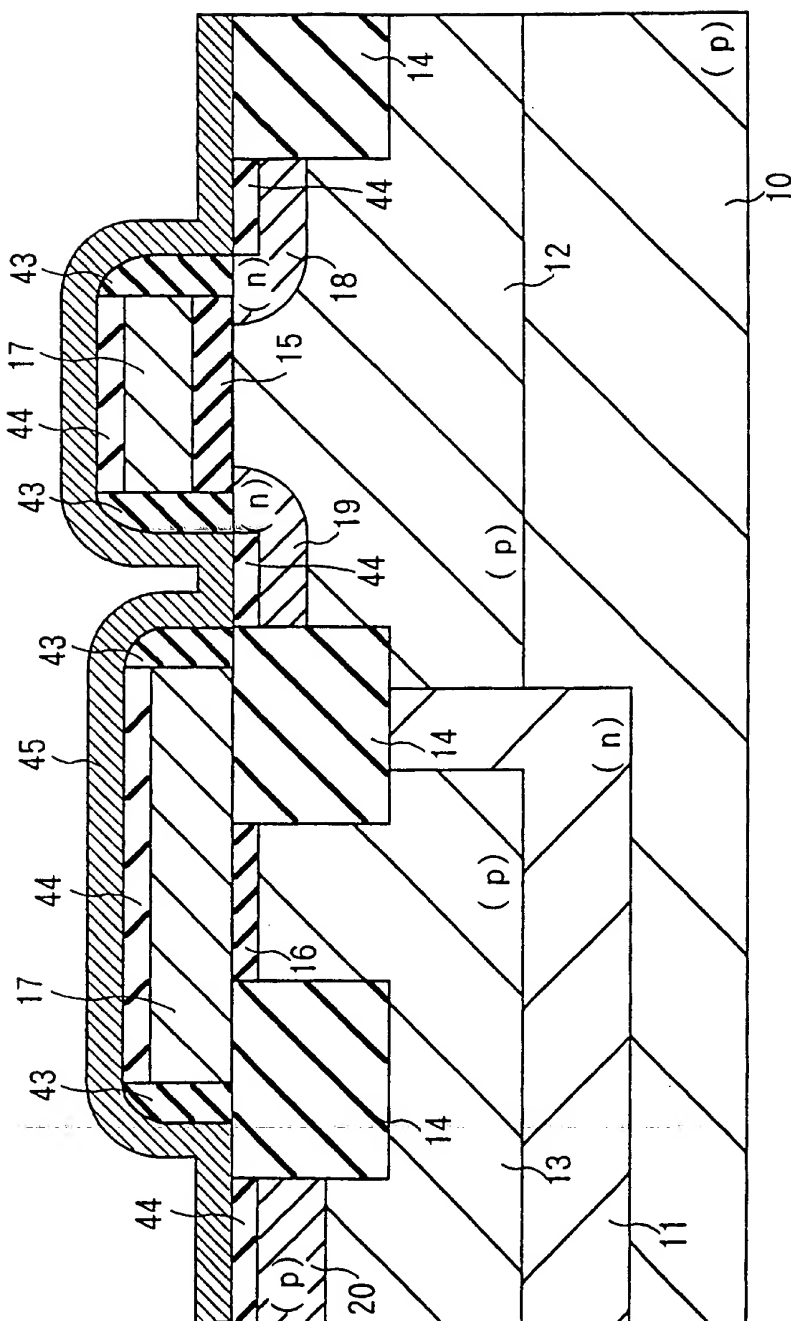
THIS PAGE BLANK (USPTO)



五張

THIS PAGE BLANK (USPTO)

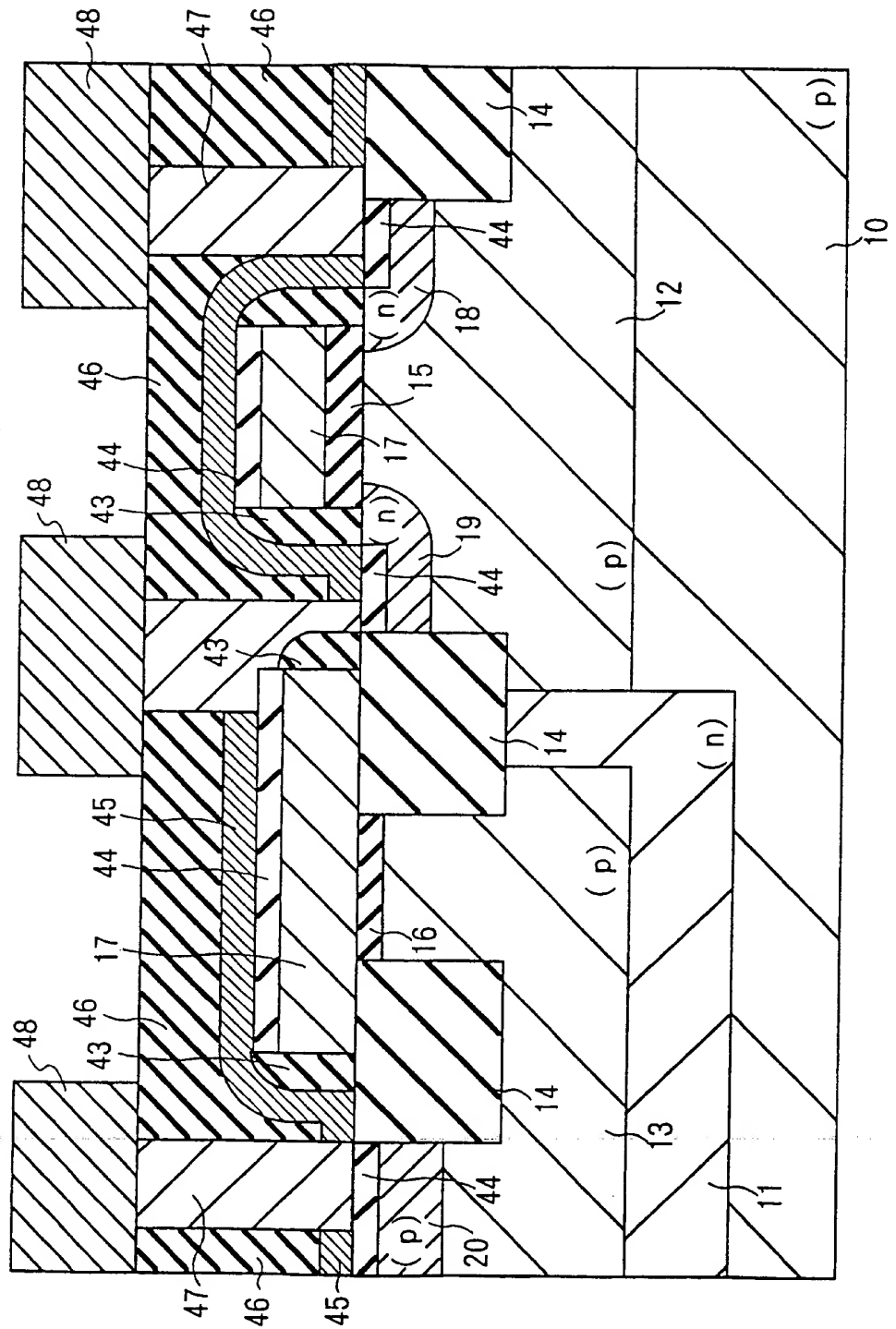
第6図





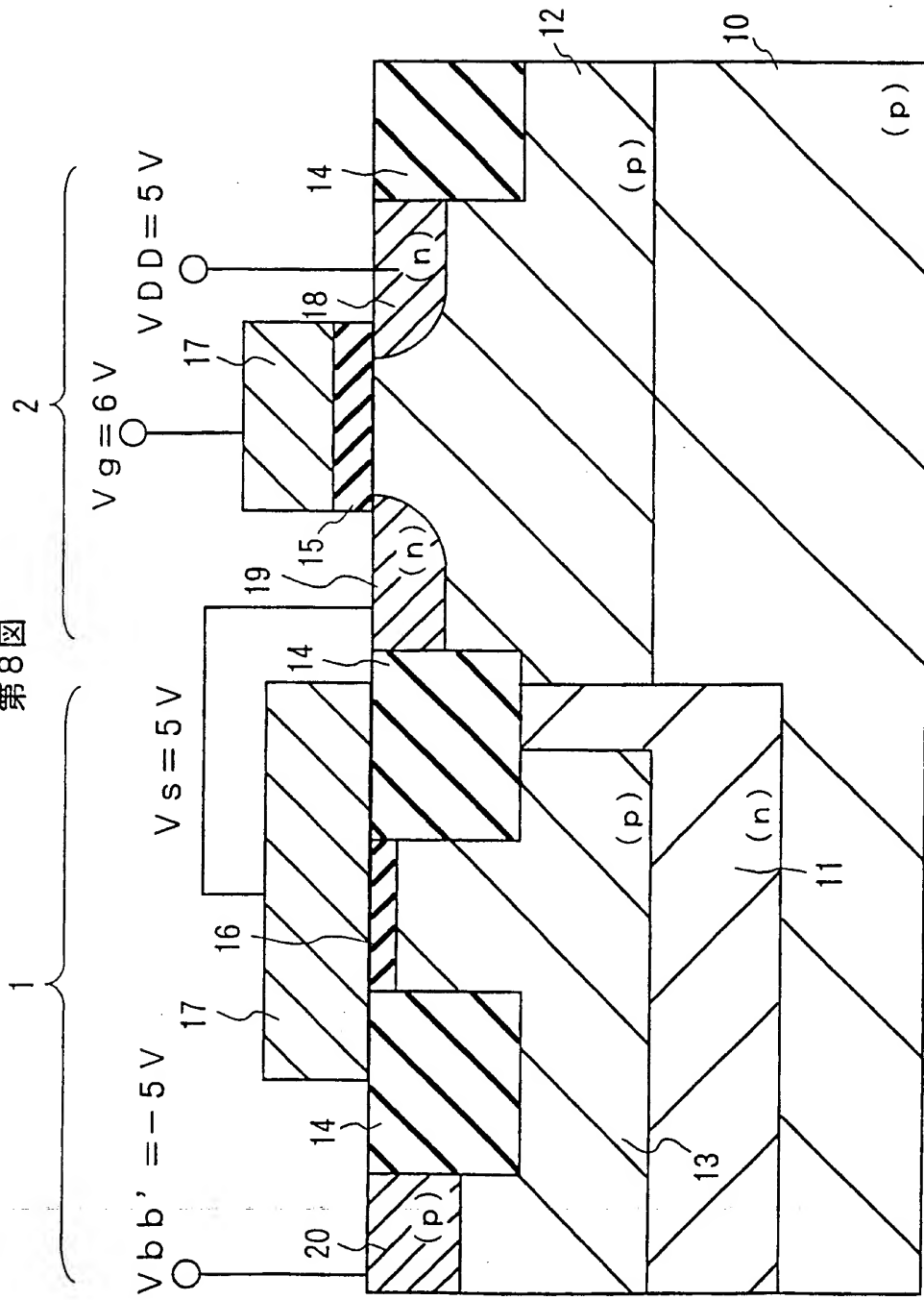
THIS PAGE BLANK (USPTO)

第7図



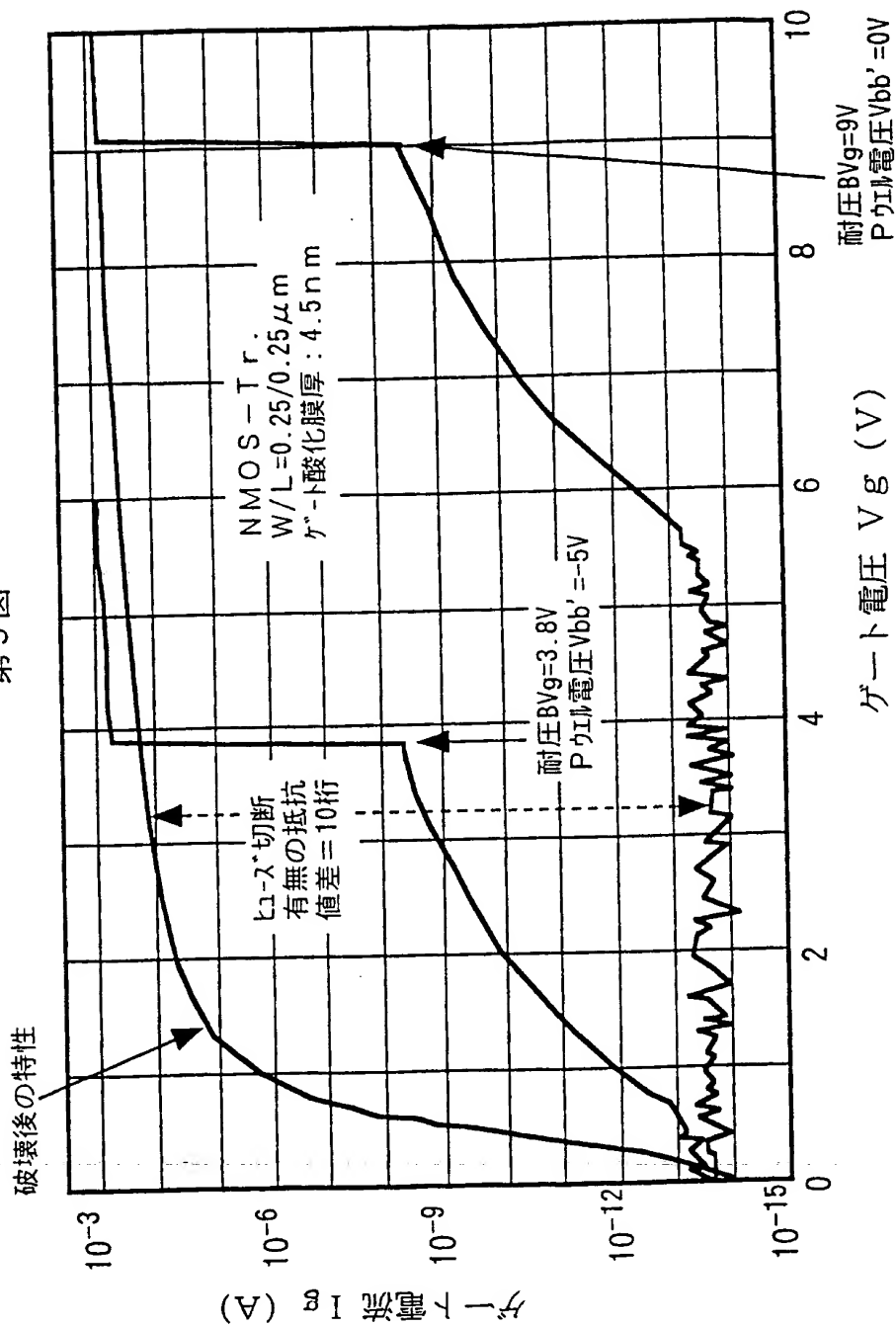
THIS PAGE BLANK (USPTO)

第8図



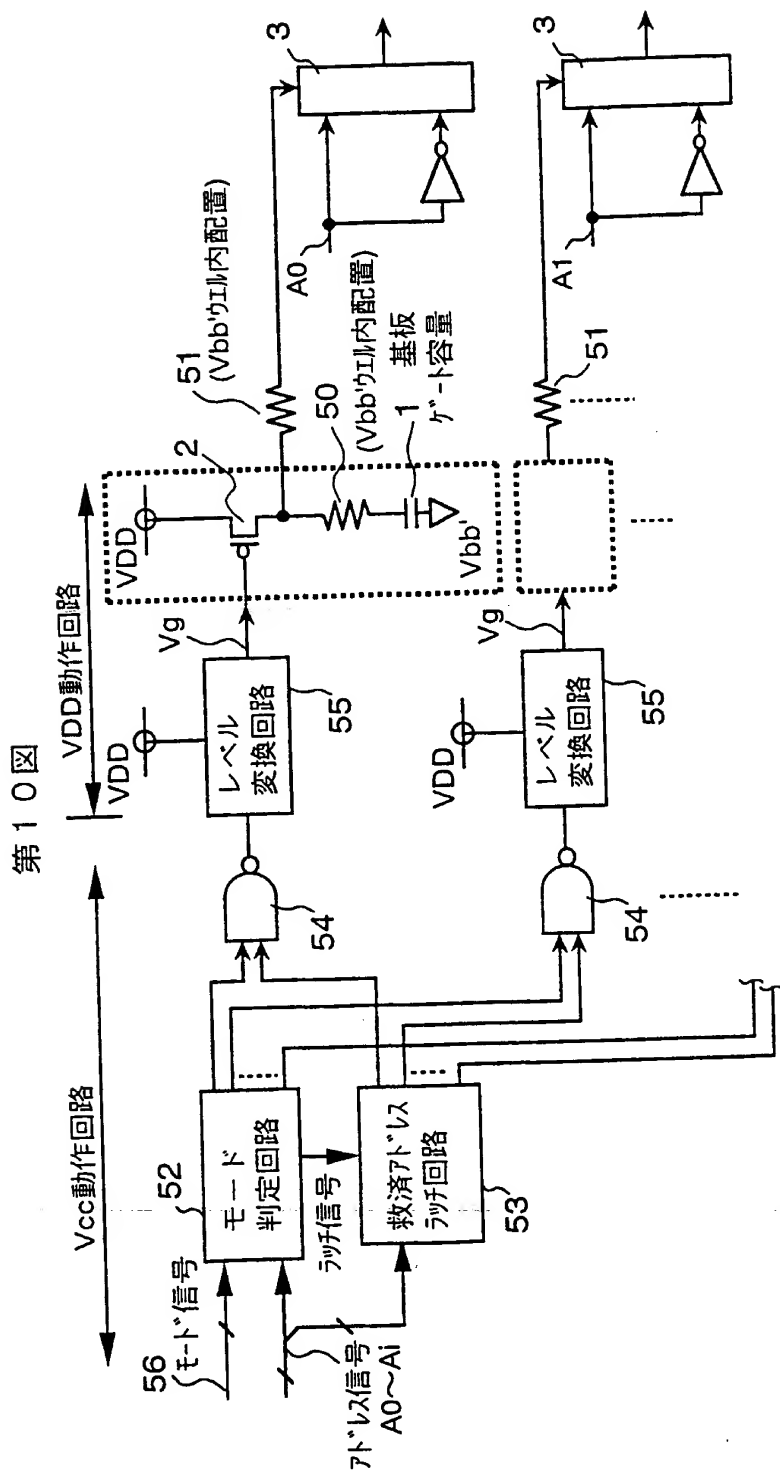
THIS PAGE BLANK (USPTO)

第9図



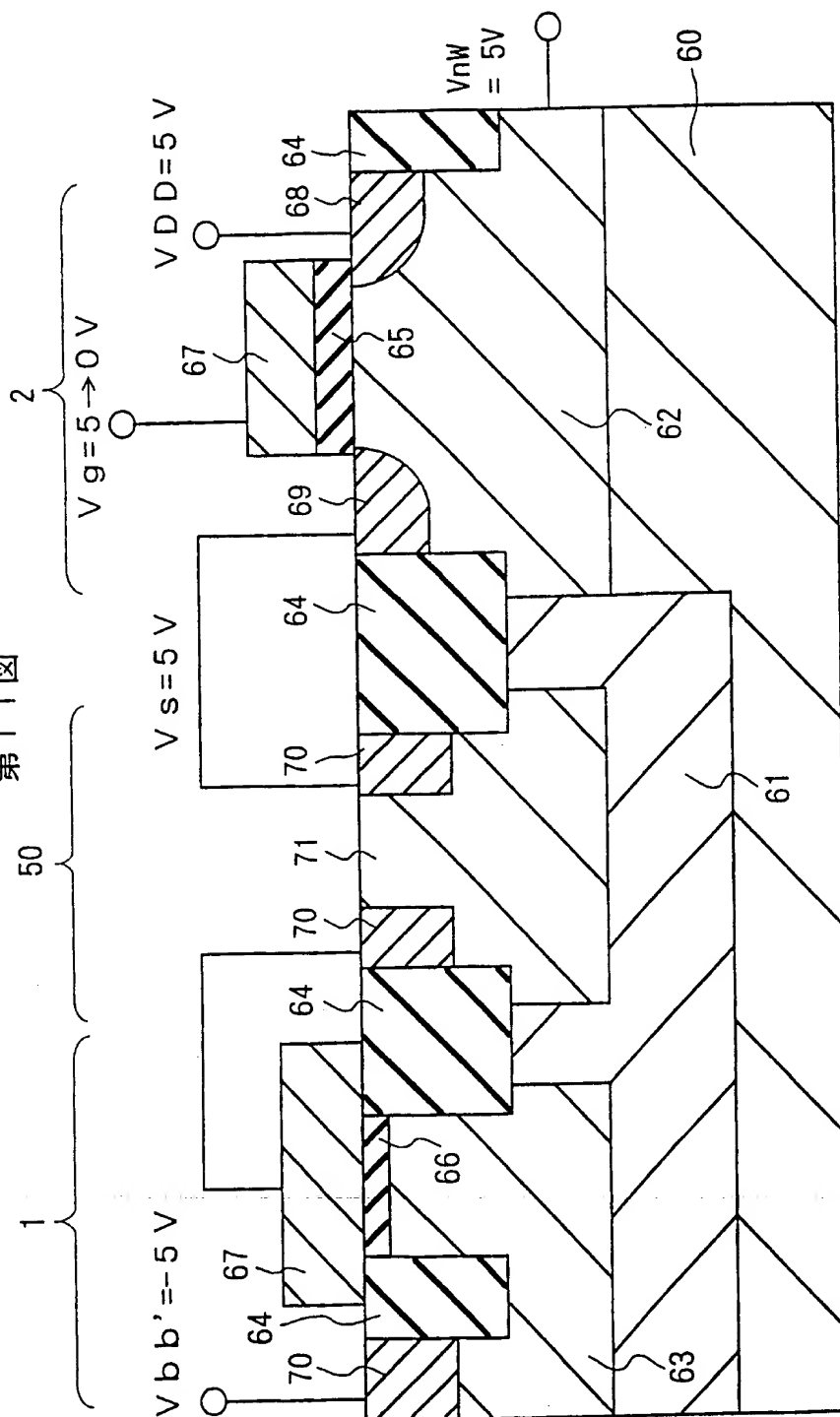
THIS PAGE BLANK (USPTO)

10 / 38



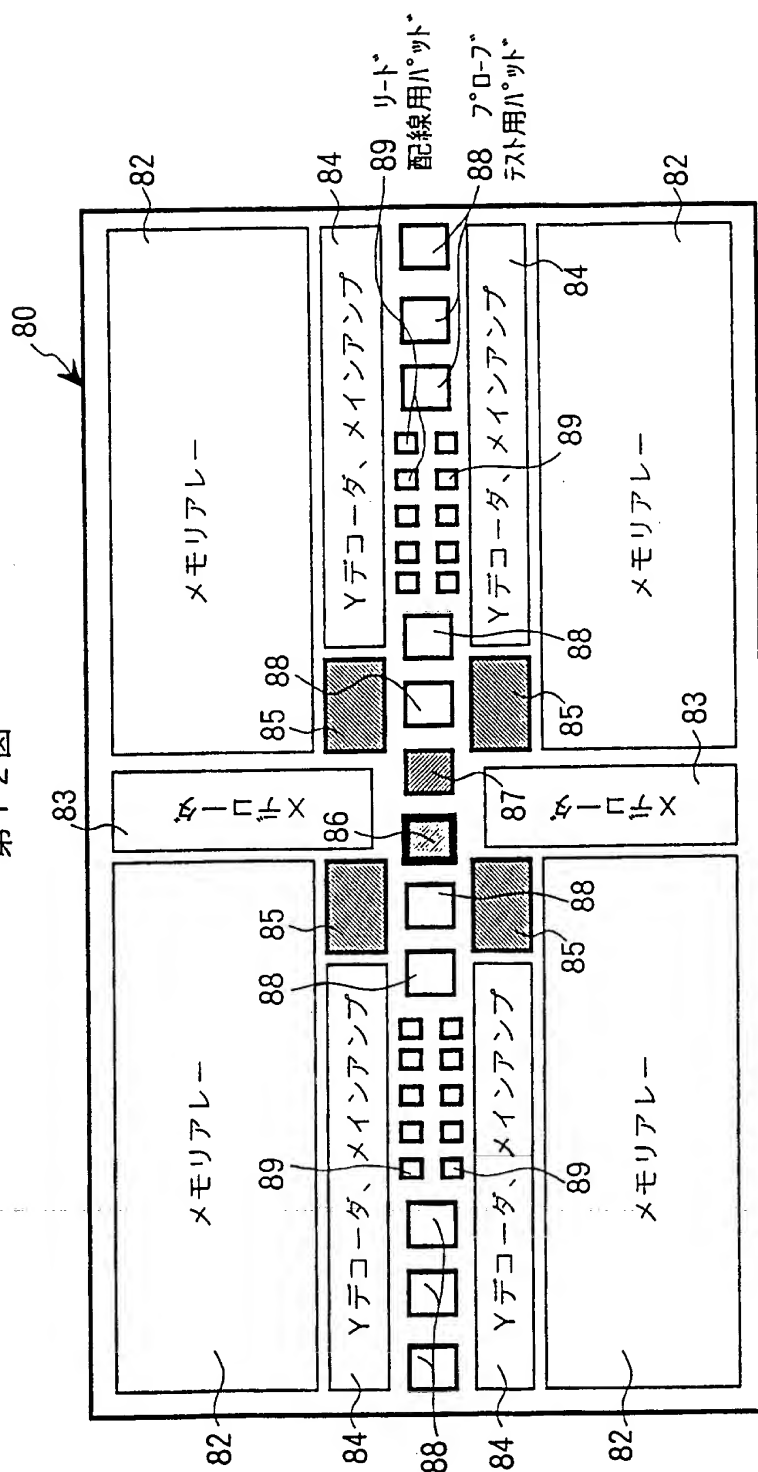
THIS PAGE BLANK (USPTO)

第 1 1 図



THIS PAGE BLANK (USPTO)

图 2-1-2



85: アンチユース"回路

86: VDD100K

VDDハット

絶縁破壊後はVcc固定

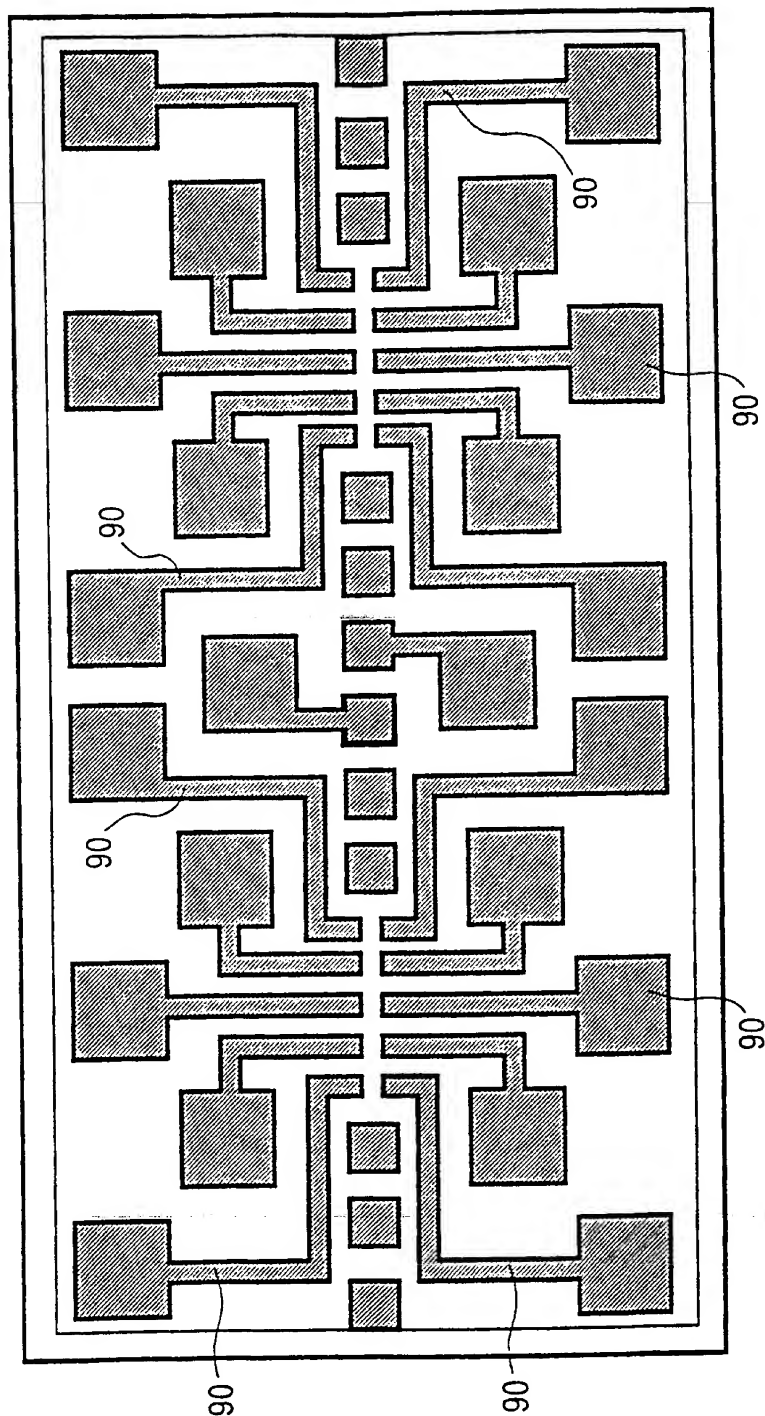
87: V b b' 11° 37'

絶縁破壊時はVbb'印加
絶縁破壊後はVss固定

絶縁破壊後はVss固定

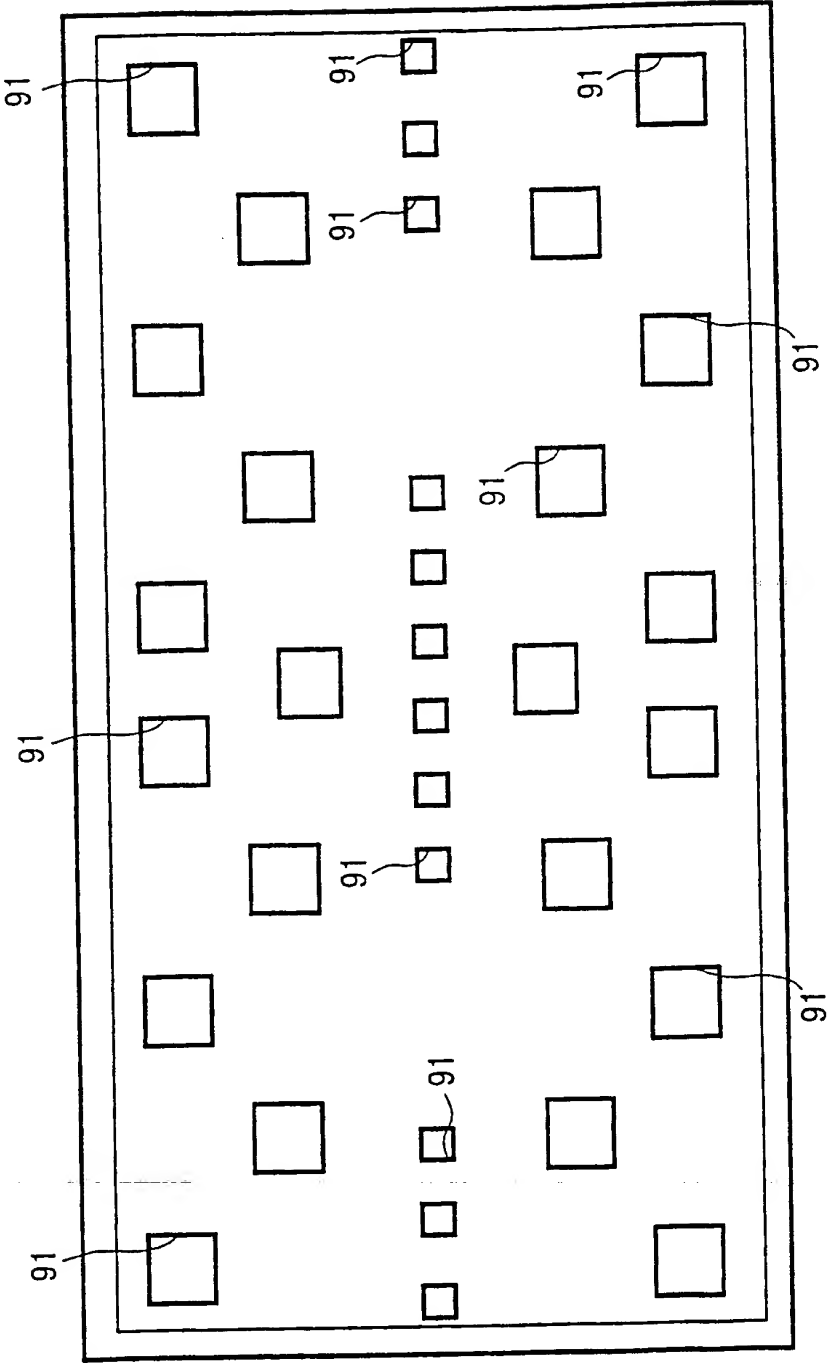
THIS PAGE BLANK (USPTO)

第13図



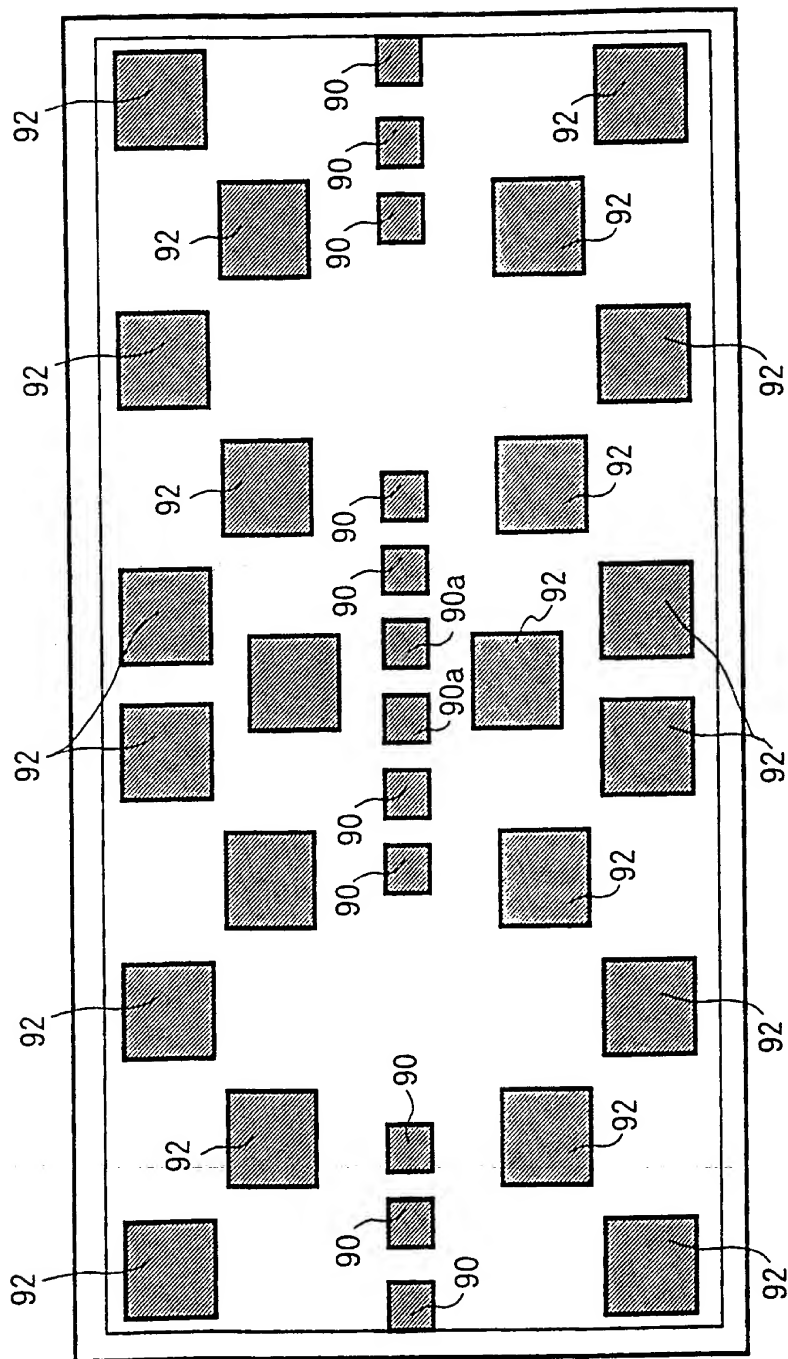
THIS PAGE BLANK (USPTO)

第 1 4 図



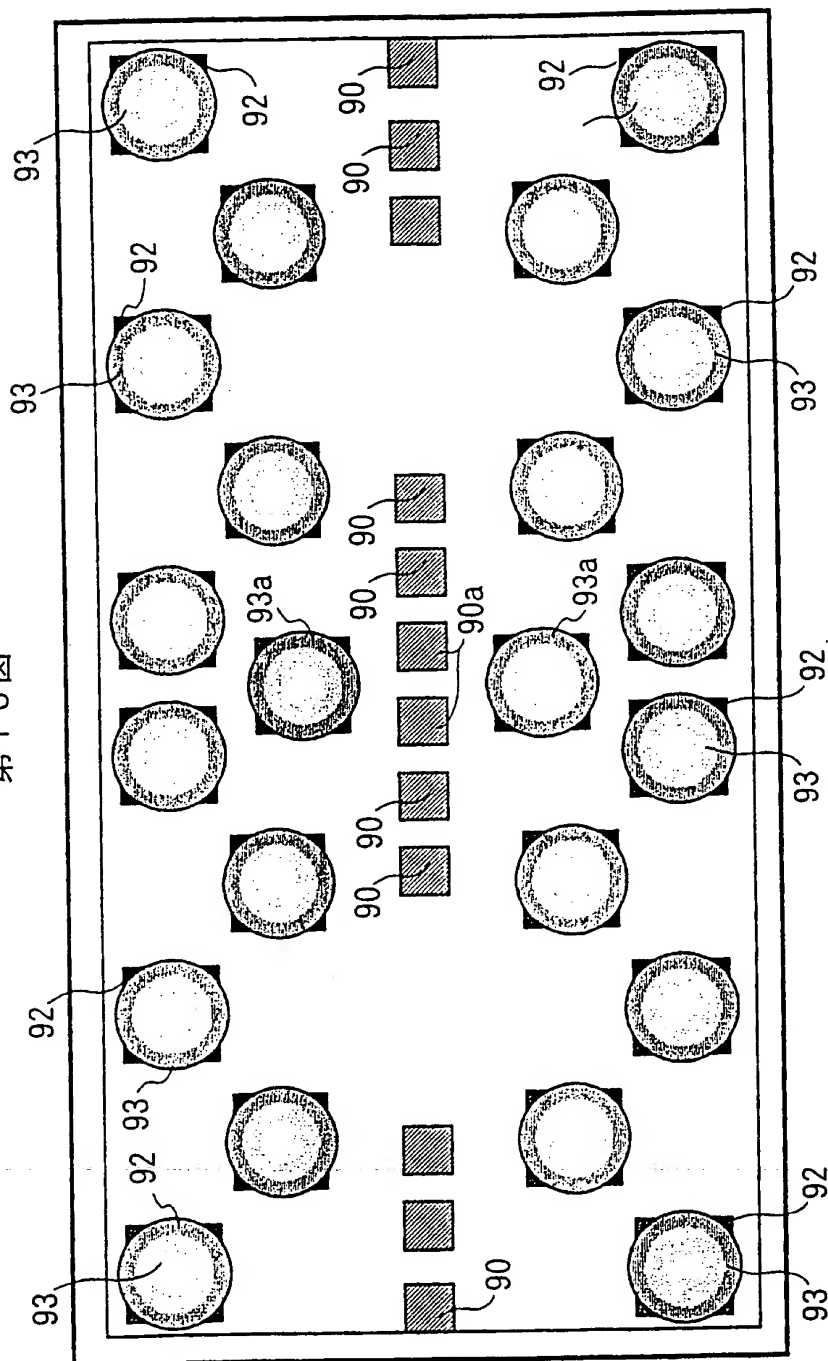
THIS PAGE BLANK (USPTO)

第15図



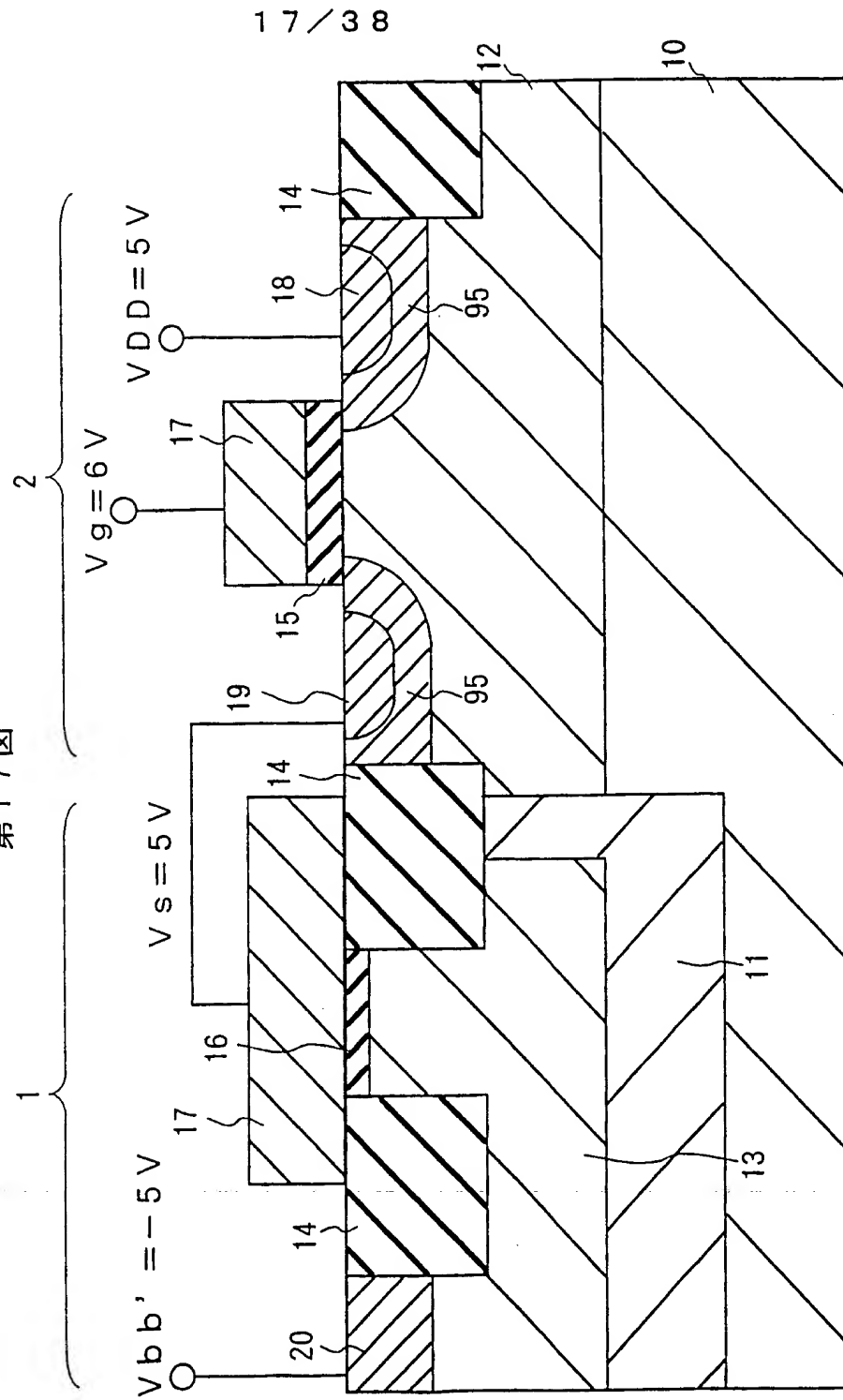
THIS PAGE BLANK (USPTO)

第16図



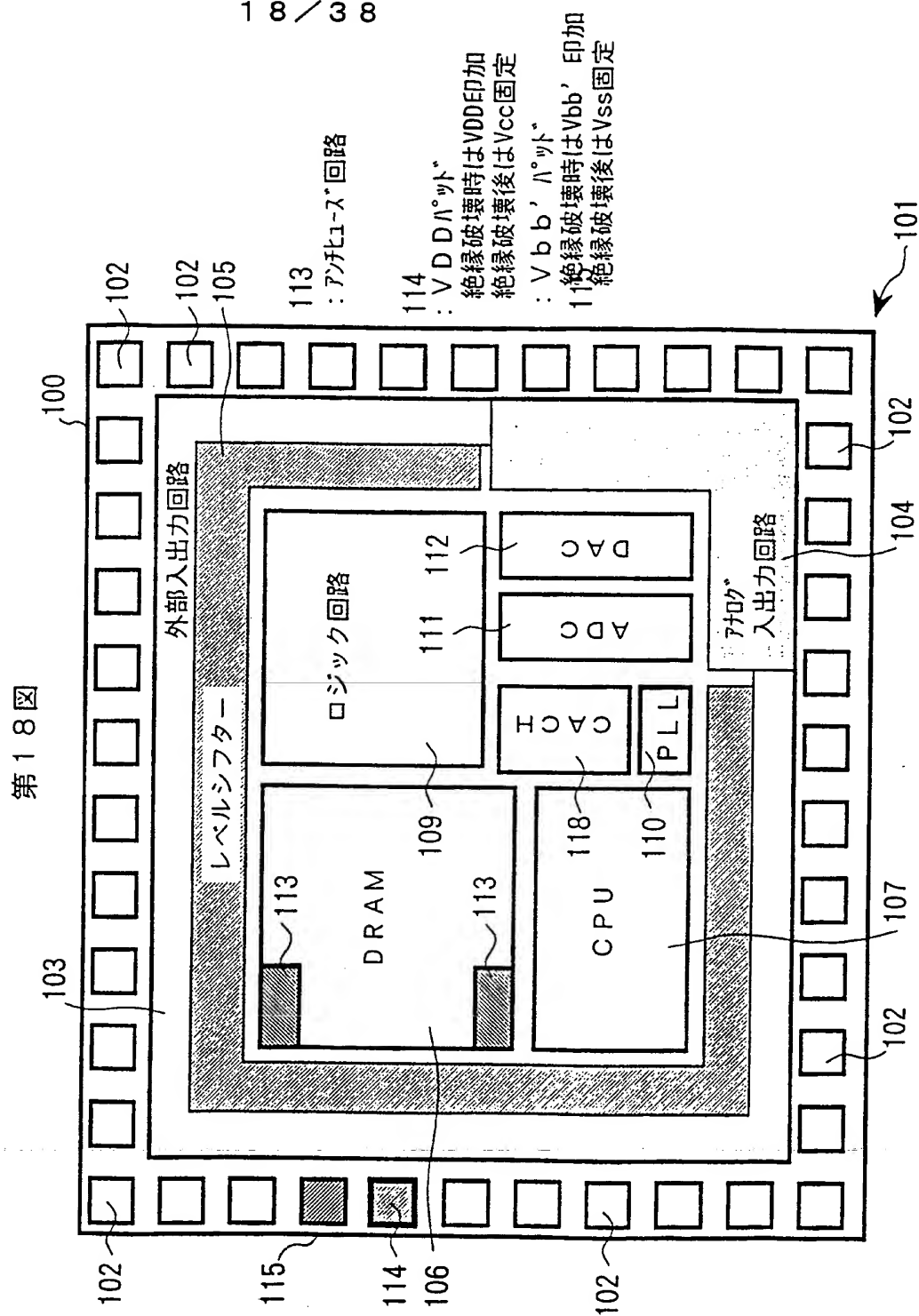
THIS PAGE BLANK (USPTO)

第17図



THIS PAGE BLANK (USPTO)

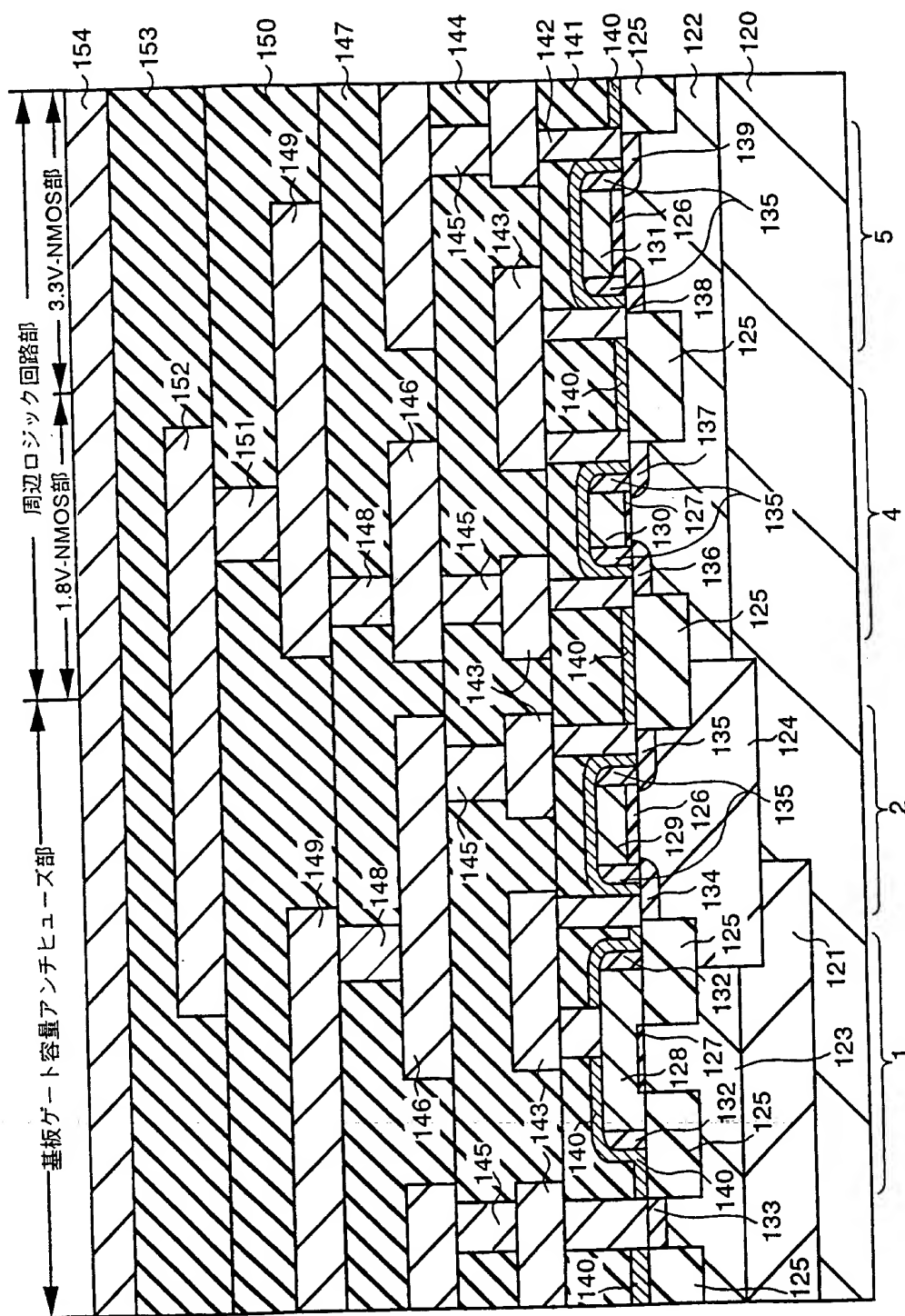
18 / 38



THIS PAGE BLANK (USPTO)

19 / 38

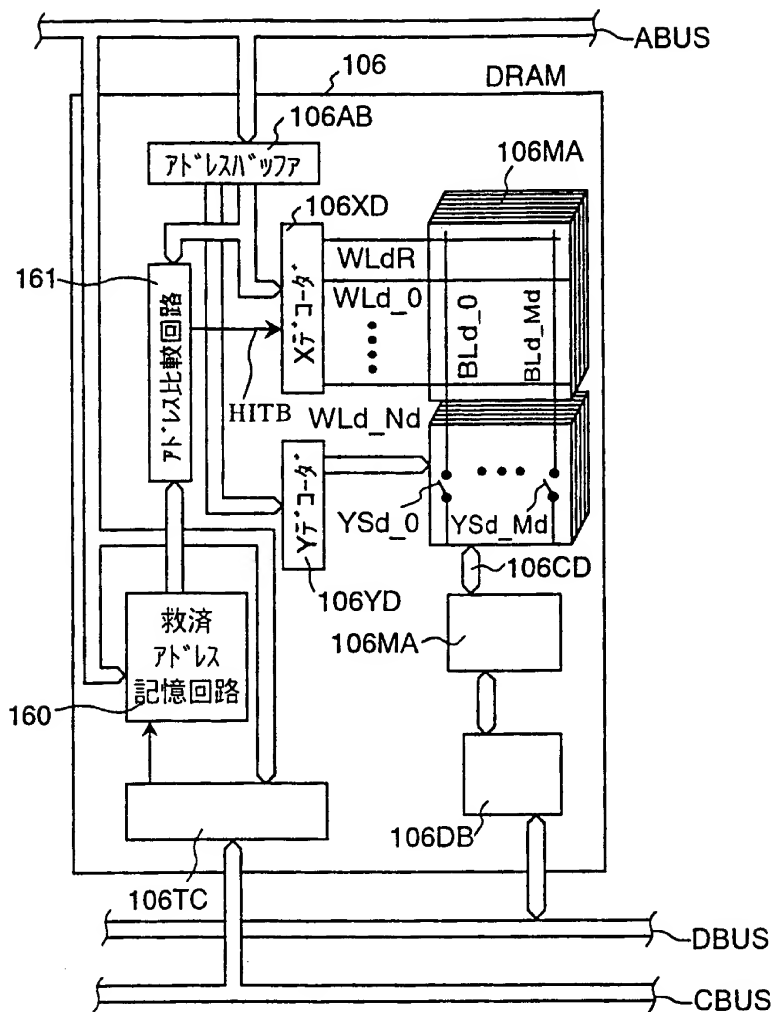
第19図



THIS PAGE BLANK (USPTO)

20/38

第20図

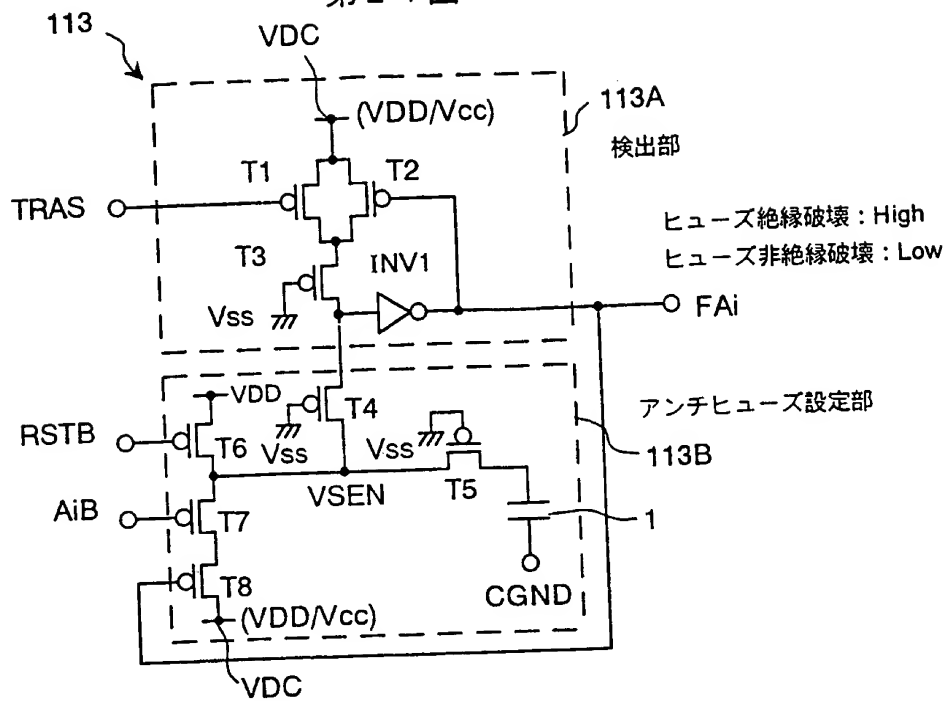




THIS PAGE BLANK (USPTO)

21/38

第21図



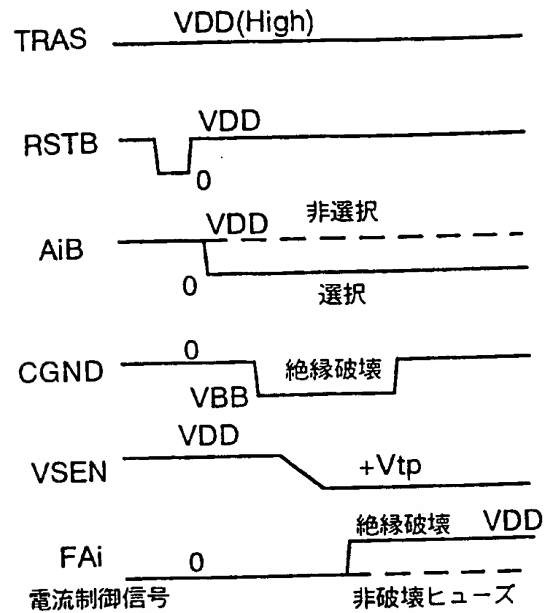
THIS PAGE BLANK (USPTO)



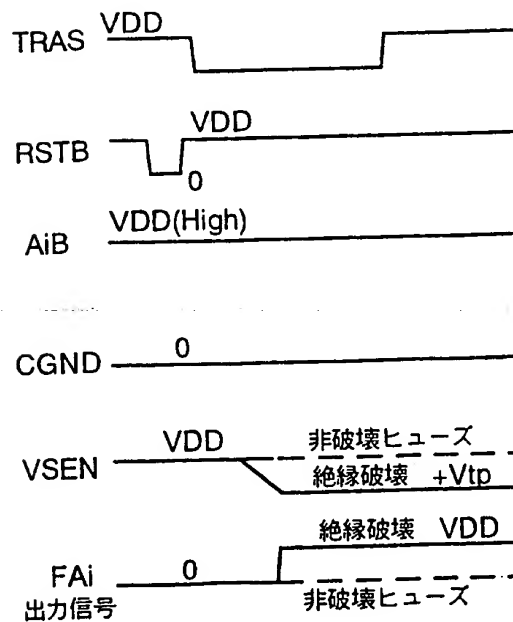
THIS PAGE BLANK (USPTO)

23 / 38

第23図
(ヒューズプログラム)



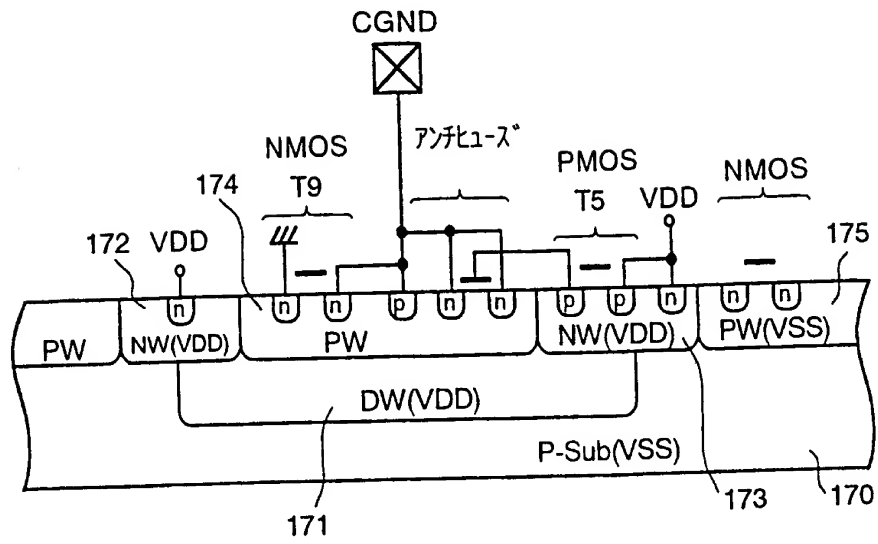
第24図
(ヒューズ読出し)



THIS PAGE BLANK (USPTO)

24/38

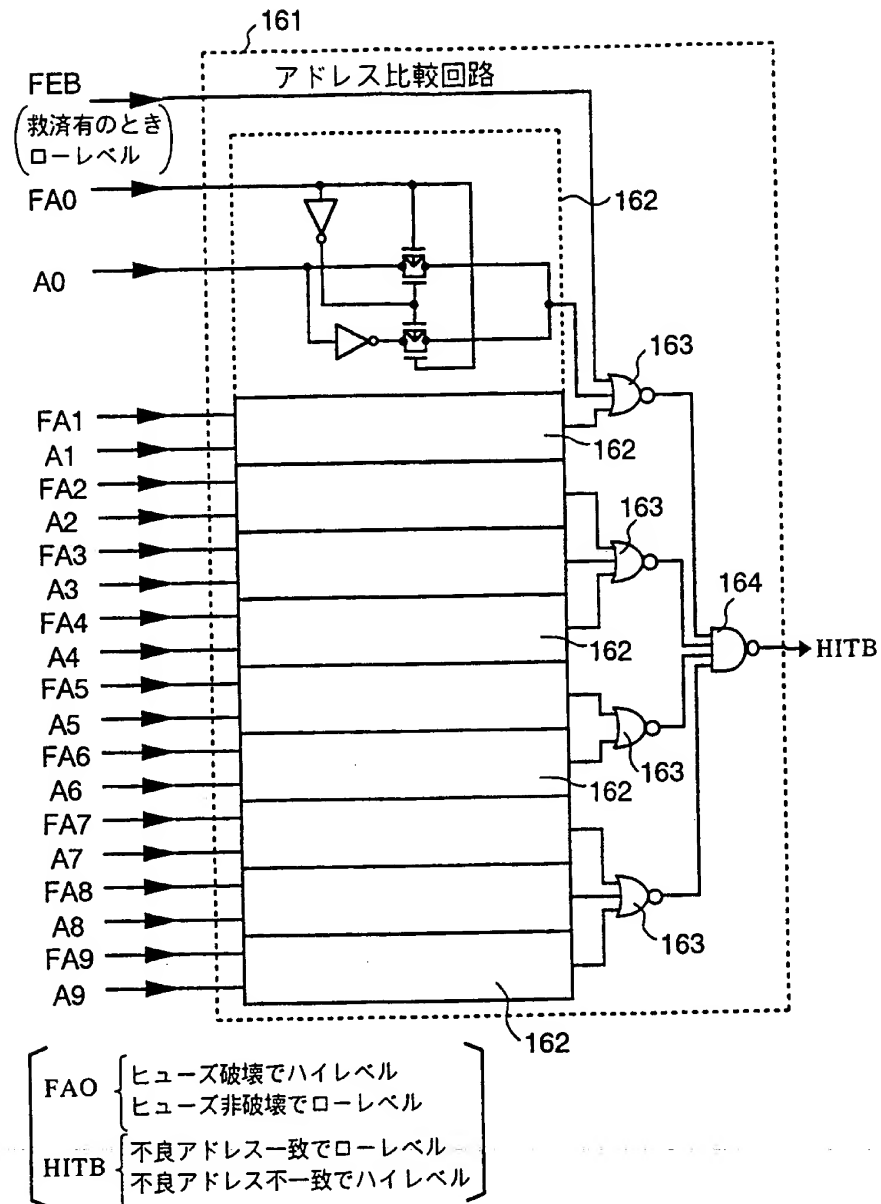
第25図



THIS PAGE BLANK (USPTO)

$25/38$

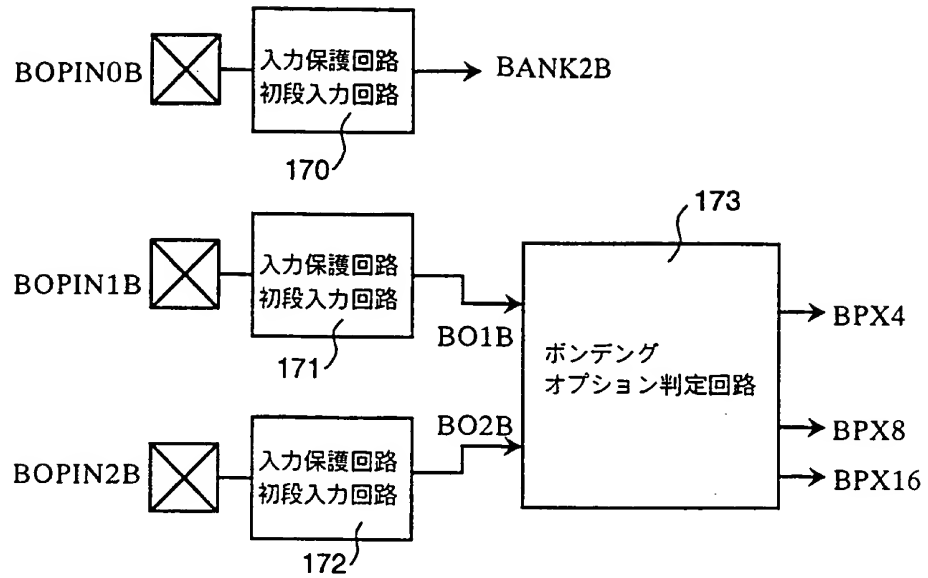
第26図



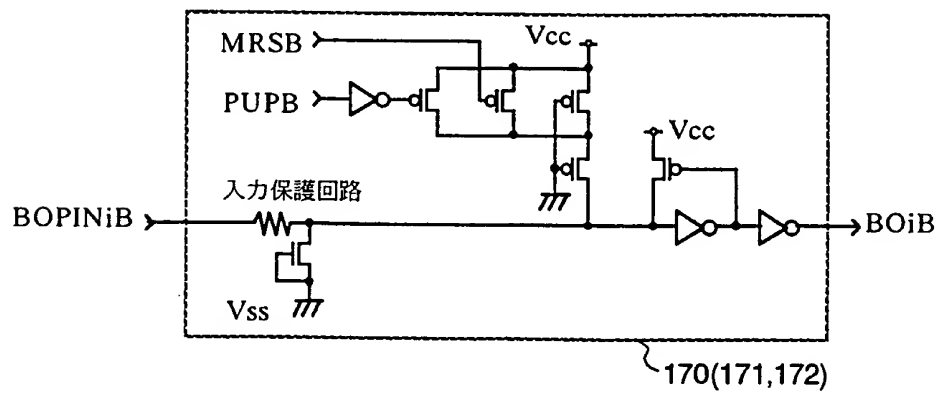
THIS PAGE BLANK (USPTO)

26/38

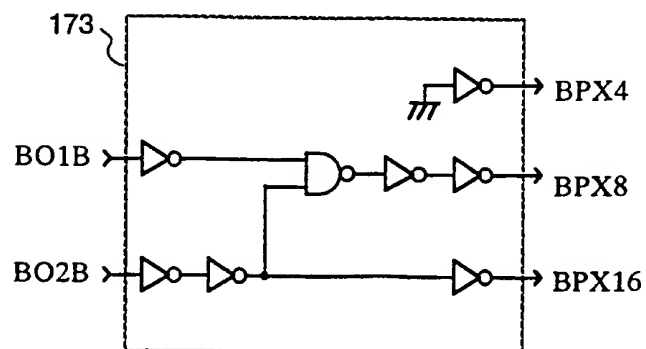
第27図



第28図



第29図



THIS PAGE BLANK (USPTO)

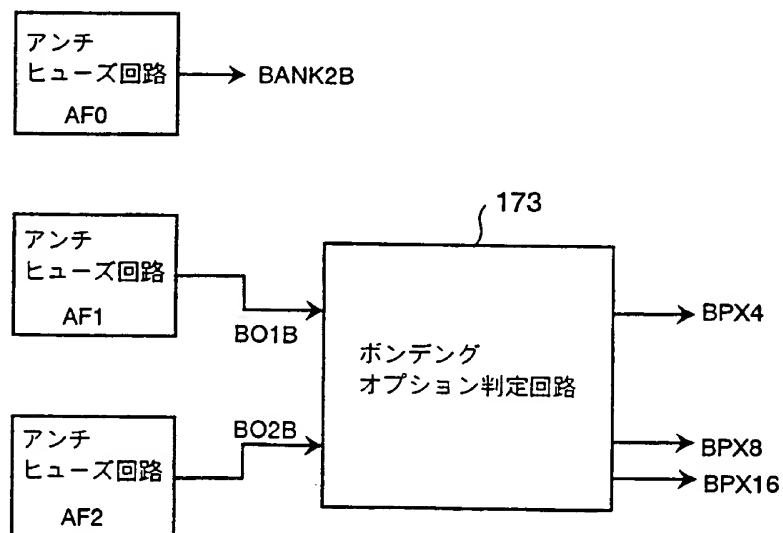
27/38

第30図

ボンドオプション仕様一覧

仕様	入力			出力			
	BOPIN0B	BOPIN1B	BOPIN2B	BNK2B	BPX4	BPX8	BPX16
4Bank / x4	Floating	VSS	Floating	'H'	'H'	'L'	'L'
4Bank / x8	Floating	Floating	Floating	'H'	'H'	'H'	'L'
4Bank / x16	Floating	Floating	VSS	'H'	'H'	'H'	'H'
2Bank / x4	VSS	VSS	Floating	'L'	'H'	'L'	'L'
2Bank / x8	VSS	Floating	Floating	'L'	'H'	'H'	'L'
2Bank / x16	VSS	Floating	VSS	'L'	'H'	'H'	'H'

第31図



第32図

アンチヒューズオプション仕様一覧

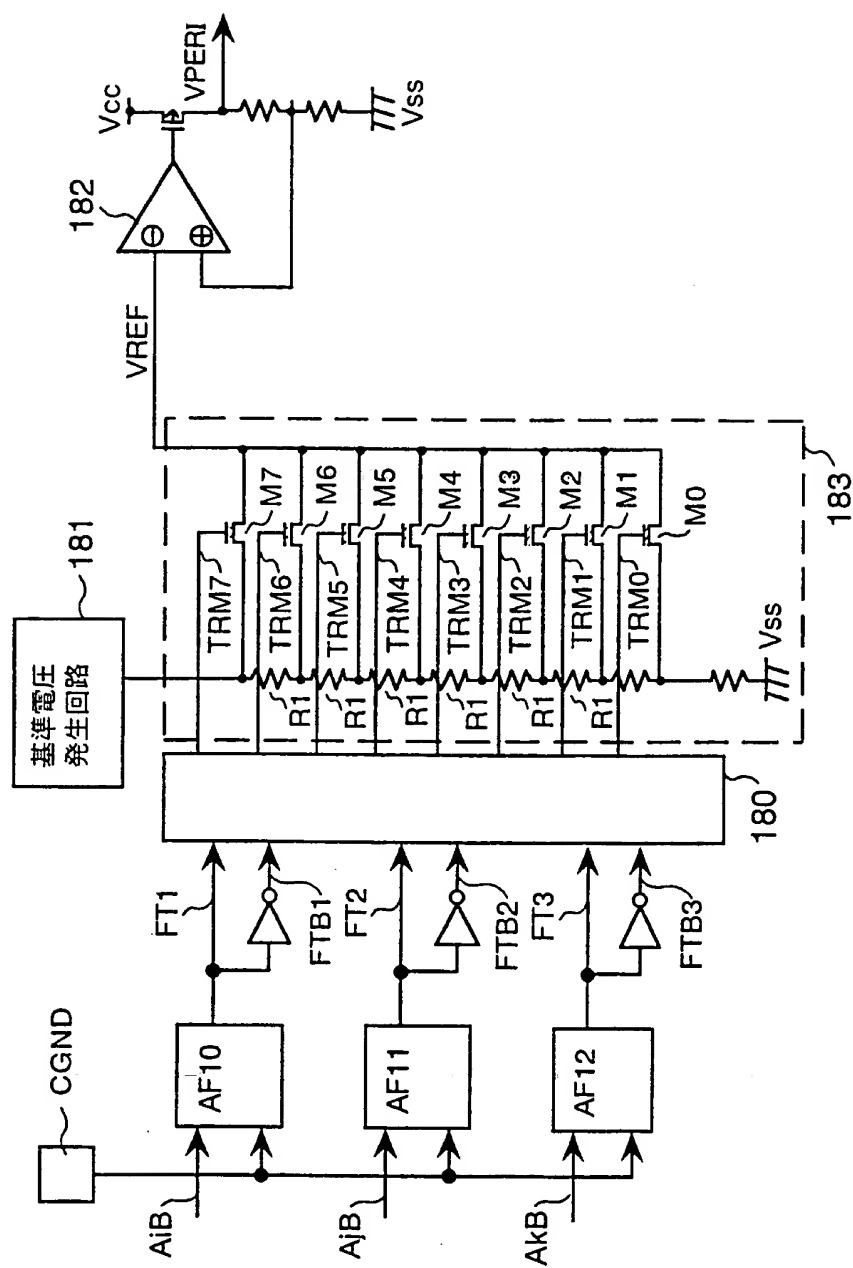
仕様	アンチヒューズの状態			出力			
	AF0	AF1	AF2	BNK2B	BPX4	BPX8	BPX16
4Bank / x4	破壊	非破壊	破壊	'H'	'H'	'L'	'L'
4Bank / x8	破壊	破壊	破壊	'H'	'H'	'H'	'L'
4Bank / x16	破壊	破壊	非破壊	'H'	'H'	'H'	'H'
2Bank / x4	非破壊	非破壊	破壊	'L'	'H'	'L'	'L'
2Bank / x8	非破壊	破壊	破壊	'L'	'H'	'H'	'L'
2Bank / x16	非破壊	破壊	非破壊	'L'	'H'	'H'	'H'



THIS PAGE BLANK (USPTO)

28/38

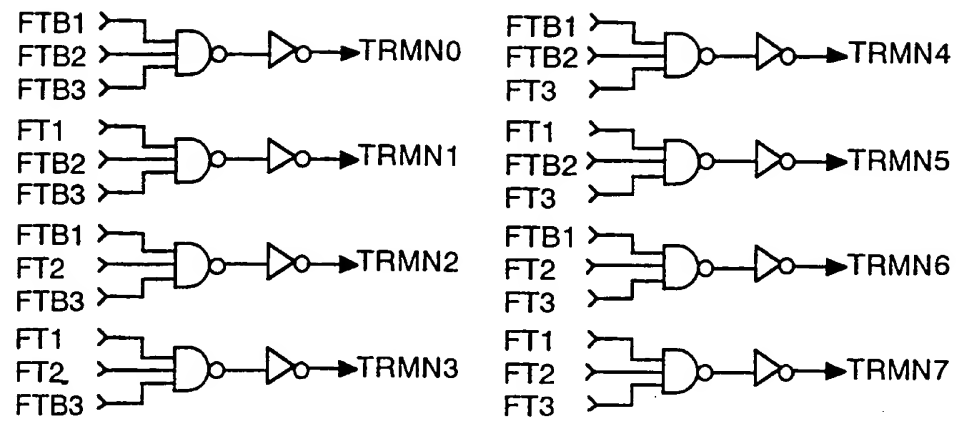
第33図



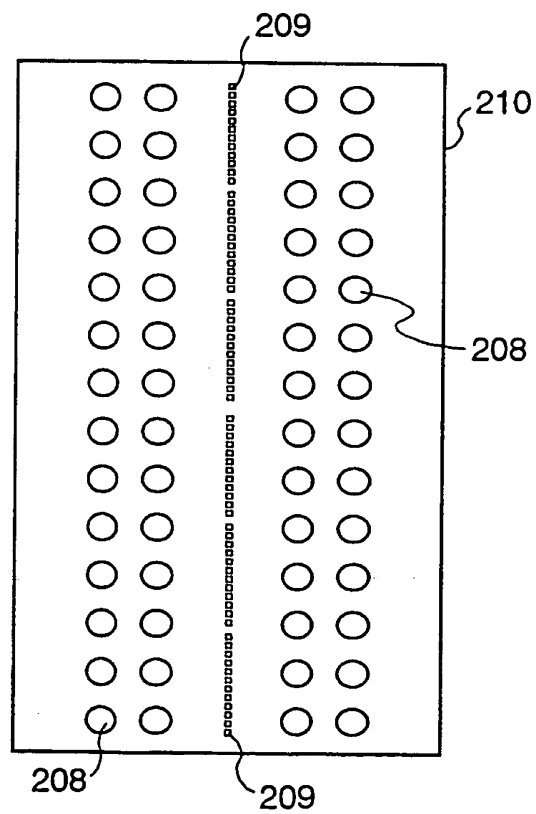
THIS PAGE BLANK (USPTO)

29 / 38

第34図



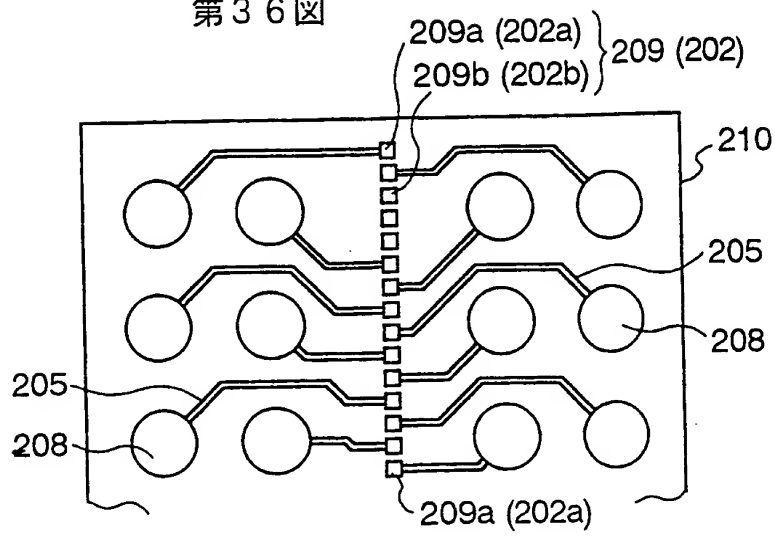
第35図



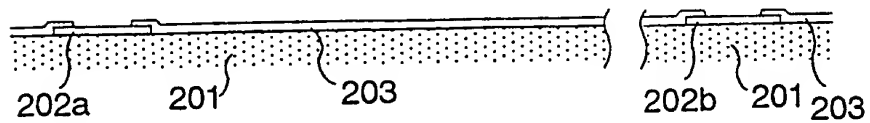
THIS PAGE BLANK (USPTO)

30/38

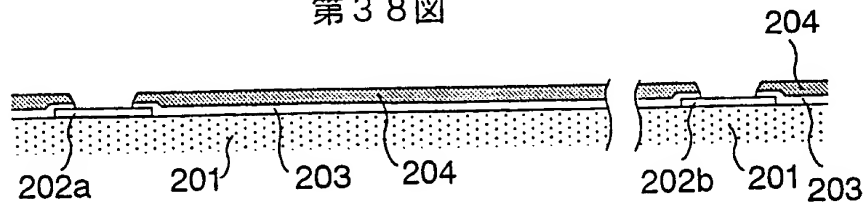
第36図



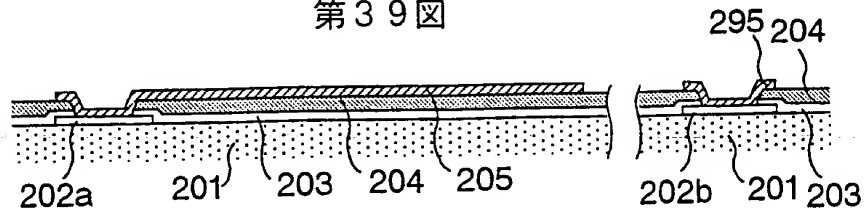
第37図



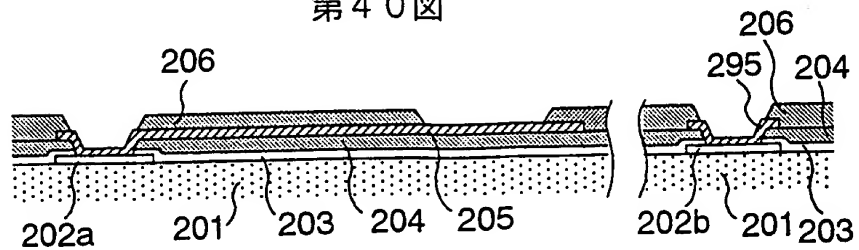
第38図



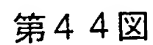
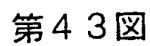
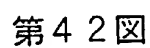
第39図



第40図



THIS PAGE BLANK (USPTO)

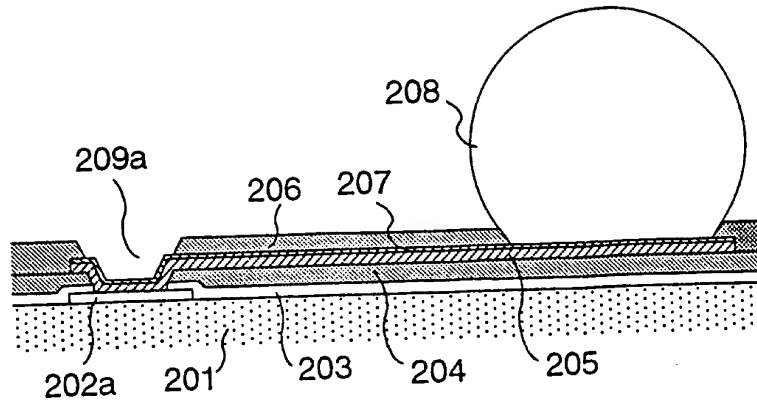


内 容	ボンディングパッド数	パッケージ外部端子数
信号入出力	39	39
電 源	24	14
機能選択	3	0
プローブ検査	6	0
非接続	—	1
合 計	72	54

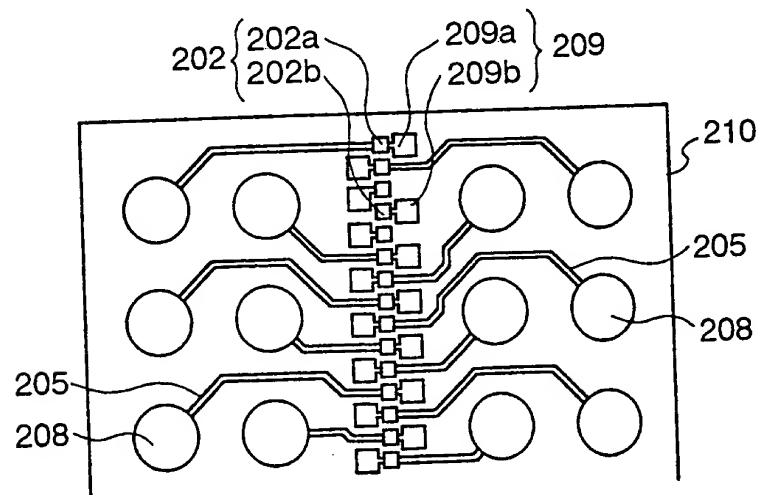
THIS PAGE BLANK (USPTO)

32 / 38

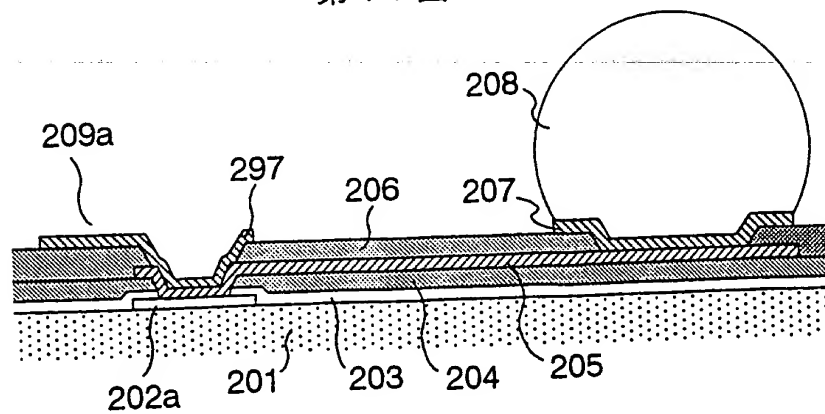
第45図



第46図



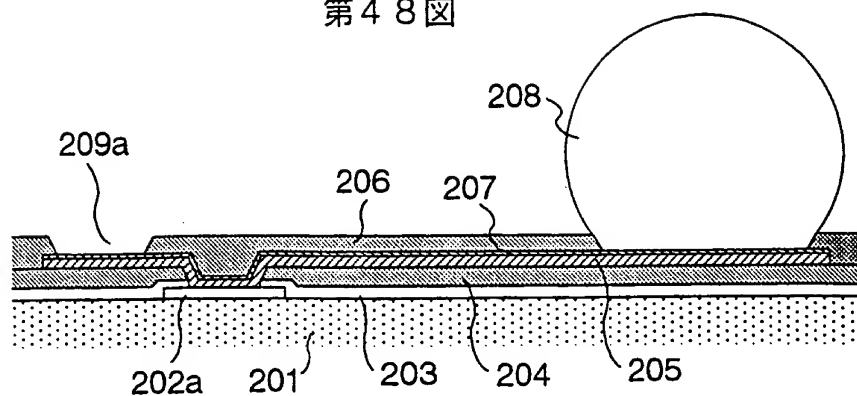
第47図



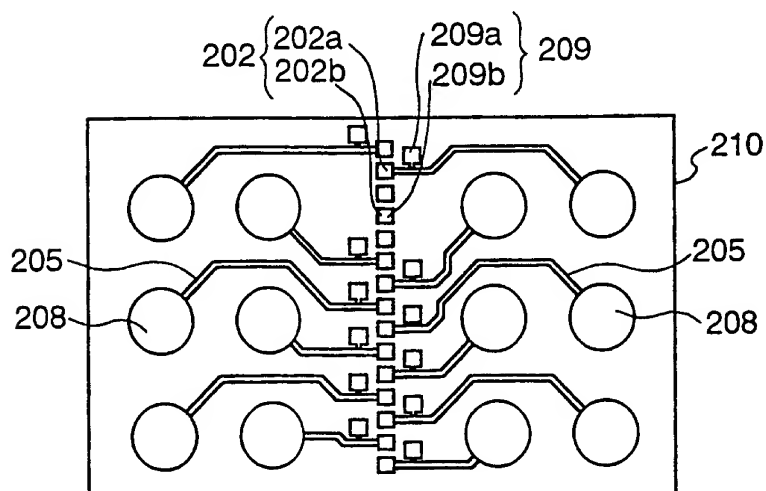
THIS PAGE BLANK (USPTO)

33/38

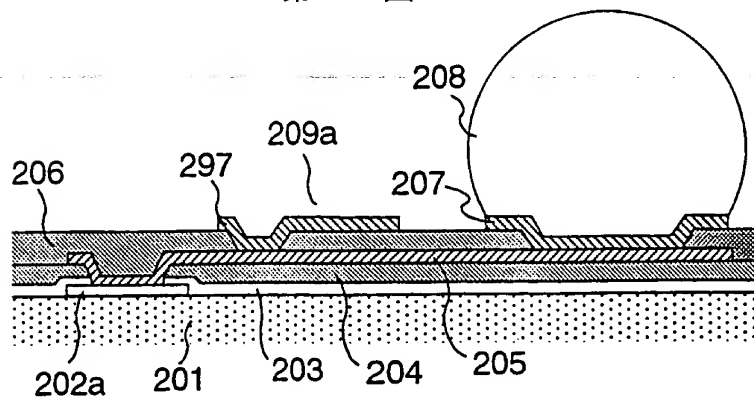
第48図



第49図



第50図

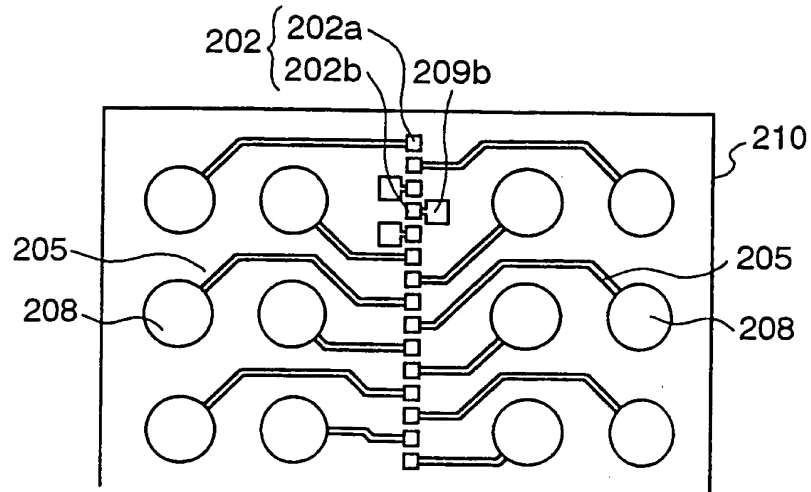




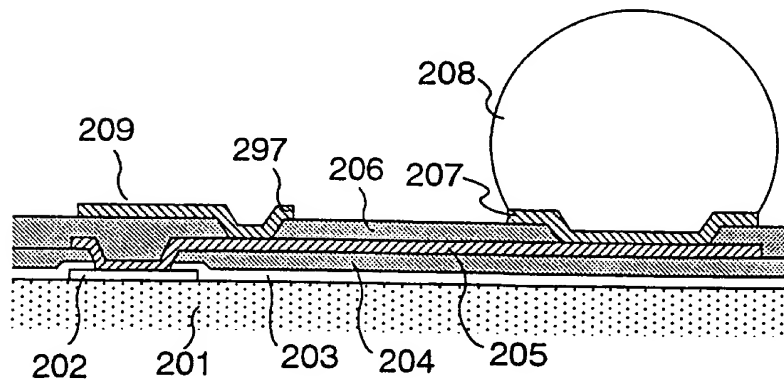
THIS PAGE BLANK (USPTO)

34/38

第51図



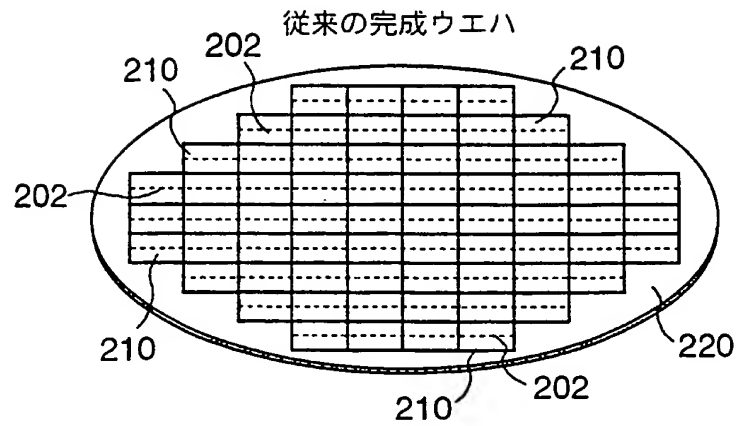
第52図



THIS PAGE BLANK (USPTO)

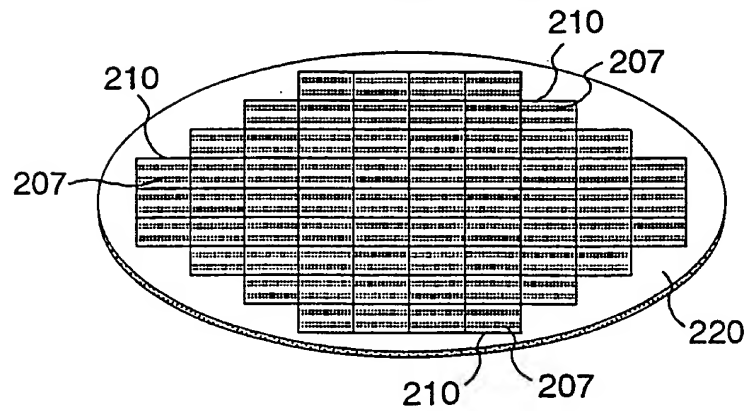
35 / 38

第53図



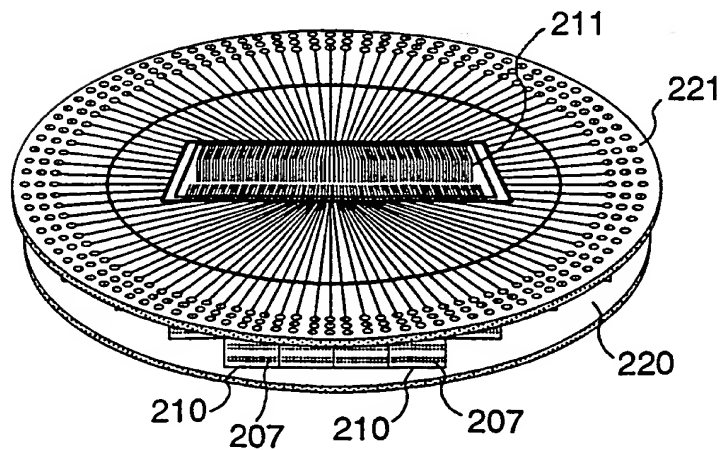
第54図

パンプ下地金属形成状態



第55図

プローブ検査工程

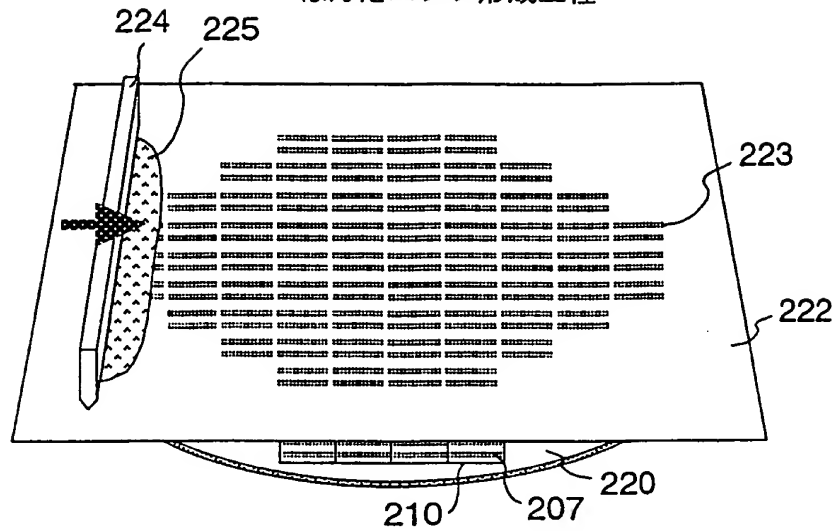


THIS PAGE BLANK (USPTO)

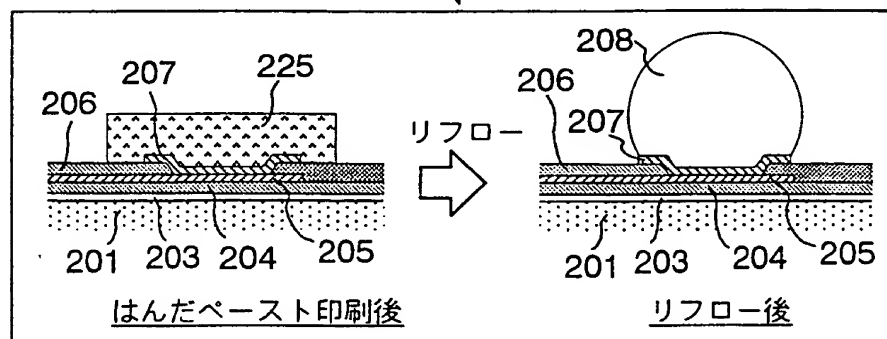
36 / 38

第56図

はんだパンプ形成工程

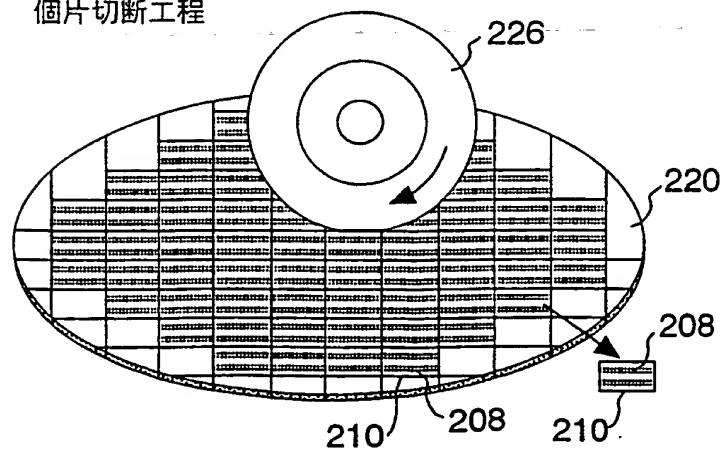


断面



第57図

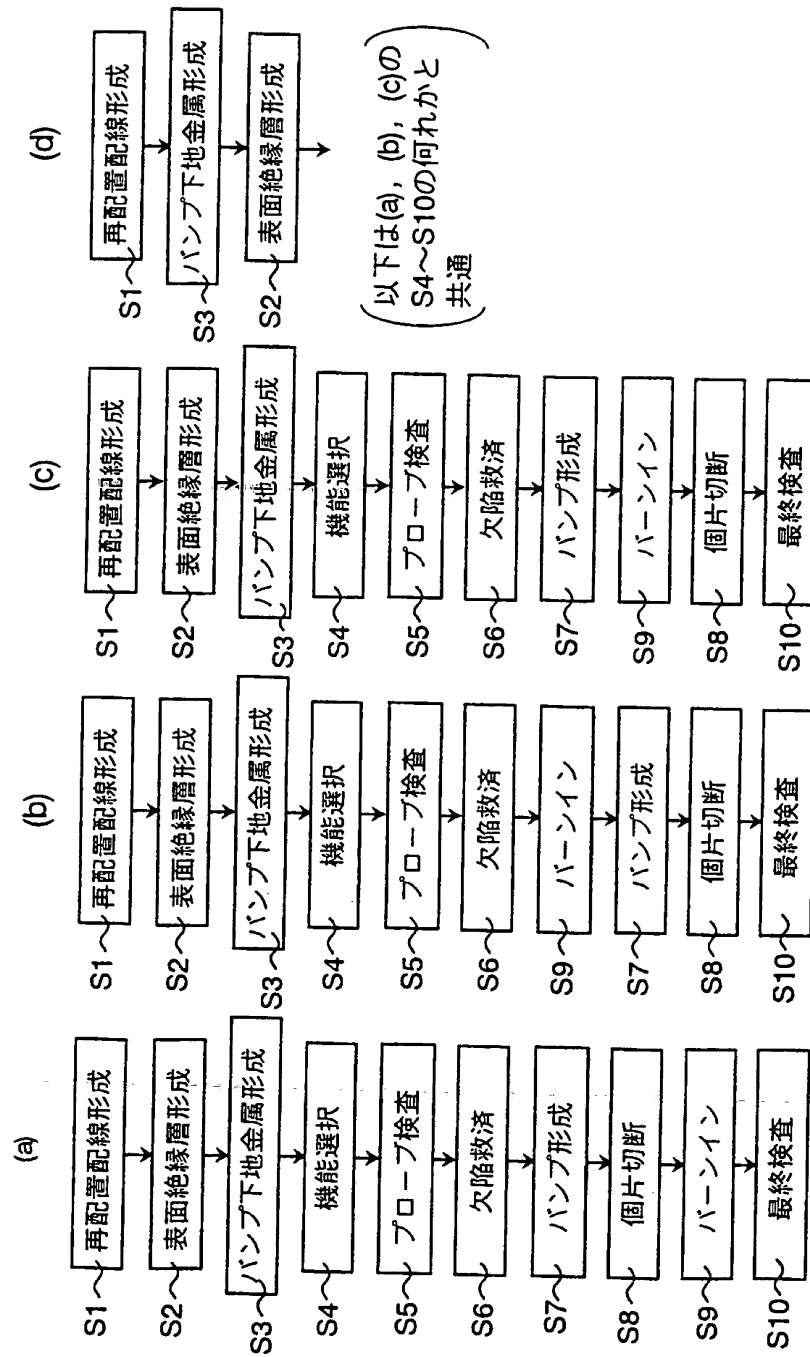
個片切断工程



THIS PAGE BLANK (USPTO)

37 / 38

第58図



THIS PAGE BLANK (USPTO)

38/38

第59図

各検査工程でのプローブ、ソケット等の接触箇所

端子内容		プローブ検査専用			電源供給・信号入出力			対応 工程 フロー
検査 種別		プローブ 検査	バーン イン	最終検査	プローブ 検査	バーン イン	最終検査	
方式	1	検査用 パッド	不使用	不使用	検査用 パッド	バンブ	バンブ	a, c
	2	検査用 パッド	不使用	不使用	バンブ 下地金属	バンブ	バンブ	a, c
	3	検査用 パッド	不使用	不使用	検査用 パッド	検査用 パッド	バンブ	a, b, c
	4	検査用 パッド	不使用	不使用	バンブ 下地金属	バンブ 下地金属	バンブ	b

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/00232

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/66, G01R31/26, G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/66, G01R31/26, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1999 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 2-68114 (Laid-open No. 4-26537) (NEC Kansai, Ltd.), 3 March, 1992 (03. 03. 92), Figs. 1 to 3 and related parts (Family: none)	1-3, 5-7, 9-14, 22-28
Y	JP, 4-96343, A (NEC Corp.), 27 March, 1992 (27. 03. 92), Figs. 1, 2 and related parts (Family: none)	12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
20 April, 1999 (20. 04. 99)

Date of mailing of the international search report
11 May, 1999 (11. 05. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/66, G01R31/26, G01R31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/66, G01R31/26, G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年

日本国公開実用新案公報 1971-1999年

日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願2-68114号 (日本国実用新案登録出願公開4-26537号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (関西日本電気株式会社), 3. 3月, 1992 (03. 03. 92), 第1図乃至第3図及びその関連箇所 (ファミリーなし)	1-3, 5-7, 9-14, 22-28
Y	JP4-96343A (日本電気株式会社) 27. 3月, 1992 (27. 03. 92), 第1図乃至第2図及びその関連箇所 (ファミリーなし)	12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

20. 04. 99

国際調査報告の発送日

11.05.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田代 吉成

4R

9448

電話番号 03-3581-1101 内線 6374

THIS PAGE BLANK (USPTO)